

5-50105

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 10 月 7 日 (07.10.2004)

PCT

(10) 国際公開番号
WO 2004/086407 A1

- (51) 国際特許分類⁷: G11C 11/15, H01L 27/10
(21) 国際出願番号: PCT/JP2004/003973
(22) 国際出願日: 2004 年 3 月 23 日 (23.03.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2003-81251 2003 年 3 月 24 日 (24.03.2003) JP
(71) 出願人 (米国を除く全ての指定国について): TDK
株式会社 (TDK CORPORATION) [JP/JP]; 〒103-8272
東京都中央区日本橋一丁目13番1号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 江崎 城一郎

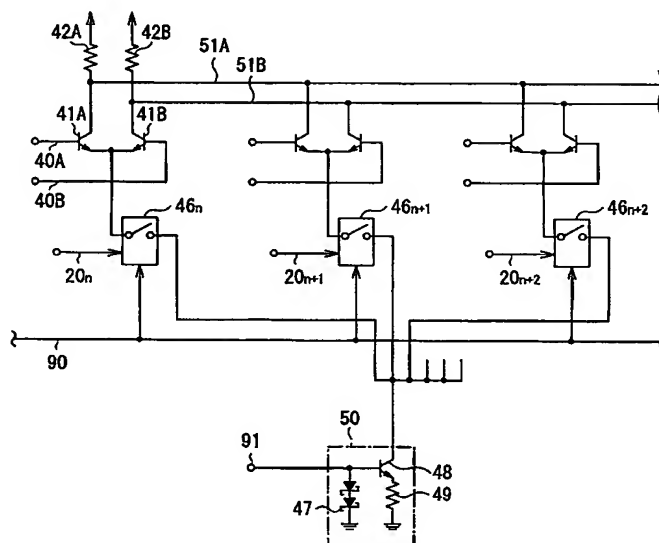
- (EZAKI, Joichiro) [JP/JP]; 〒103-8272 東京都中央区日本橋一丁目13番1号 TDK株式会社内 Tokyo (JP).
柿沼 裕二 (KAKINUMA, Yuji) [JP/JP]; 〒103-8272 東京都中央区日本橋一丁目13番1号 TDK株式会社内 Tokyo (JP).
古賀 啓治 (KOGA, Keiji) [JP/JP]; 〒103-8272 東京都中央区日本橋一丁目13番1号 TDK株式会社内 Tokyo (JP).
住田 成和 (SUMITA, Shigekazu) [JP/JP]; 〒103-8272 東京都中央区日本橋一丁目13番1号 TDK株式会社内 Tokyo (JP).
(74) 代理人: 三反崎 泰司, 外 (MITAZAKI, Taiji et al.); 〒160-0022 東京都新宿区新宿1丁目9番5号 大台ビル2階 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

[続葉有]

(54) Title: MAGNETIC MEMORY DEVICE, SENSE AMPLIFIER CIRCUIT, AND READING METHOD OF MAGNETIC MEMORY DEVICE

(54) 発明の名称: 磁気メモリデバイスおよびセンスアンプ回路、ならびに磁気メモリデバイスの読出方法



(57) Abstract: A magnetic memory device, a sense amplifier circuit, and a reading method of the magnetic memory device that can obtain read signal outputs having a high S/N ratio and realize reduction of power consumption and circuit space. A sense amplifier is configured by connecting transistors (41A, 41B), which serve as differential amplifiers, to a single constant current circuit (50) via respective switches (46) (... , 46n, 46n+1, ...). Each of these switches is connected to a respective corresponding bit decode line (20) (... , 20n, 20n+1, ...) and to a lead selection signal line (90). Read/write signals are outputted from the lead selection signal line (90), and the switches (46) acts in accordance with both the bit decode values and the read/write signals.

(57) 要約: S/N比が高い読み出し信号出力を得ることができると共に、消費電力と回路スペースの削減が可能な磁気メモリデバイスおよびセンスアンプ回路、ならびに磁気メモリデバイスの読出方法を提供する。センスアンプは、差動増幅器であるトランジスタ(41A),(41B)が

[続葉有]



WO 2004/086407 A1



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

スイッチ(46)($\dots, 46n, 46n+1, \dots$)を介して1つの定電流回路(50)に共通に接続されている。スイッチ(46)($\dots, 46n, 46n+1, \dots$)のそれぞれには、対応するビットデコード線(20)($\dots, 20n, 20n+1, \dots$)とリード選択信号線(90)が接続されている。リード選択信号線(90)からは読出/書込信号が送出され、スイッチ(46)は、ビットデコード値と、読出/書込信号の両方に応じて動作する。

明細書

磁気メモリデバイスおよびセンスアンプ回路、ならびに磁気メモリデバイスの読出方法

技術分野

本発明は、磁気抵抗効果素子を用いて構成される磁気メモリデバイス、および、磁気メモリデバイスからの情報の読み出しに適用するセンスアンプ回路、ならびに磁気メモリデバイスにおける情報の読出方法に関する。

背景技術

従来より、コンピュータやモバイル通信機器などの情報処理装置に用いられる汎用メモリとして、DRAMやSRAMなどの揮発性メモリが使用されている。揮発性メモリは、常に電流を供給しておかなければ全ての情報が失われる。そのため、情報の記憶には不揮発性メモリを別途設ける必要があり、フラッシュEEPROMやハードディスク装置などが用いられている。これら不揮発性メモリについては、情報処理の高速化に伴い、高速化が重要な課題となっている。また、近年のいわゆるユビキタスコンピューティングを目指した情報機器開発という別の側面からも、そのキーデバイスとして高速な不揮発性メモリの開発が強く求められている。

不揮発性メモリの高速化に有効な技術としては、MRAM (Magnetic Random Access Memory) が知られている。MRAMは、マトリクス状に配列された個々の記憶セルが磁気素子で構成されている。現在実用化されているMRAMは、巨大磁気抵抗効果 (GMR : Giant Magneto-Resistive) を利用したものである。GMRとは、互いの磁化容易軸を揃えて配設された2つの強磁性層が積層された積層体において、積層体の抵抗値が、各強磁性層の磁化方向が磁化容易軸に沿って平行な場合に最小、反平行の場合に最大となる現象である。実際のGMR素子では、2つの強磁性層は磁化方向が固定されている固定層と、外部磁界により磁化方向が変化可能な自由層 (感磁層) とからなり、非磁性層を介して積層されて

いる。各記憶セルは、この2状態を「0」、「1」の2値情報に対応させて情報を記憶し、情報に対応させた抵抗の違いを電流または電圧の変化として検出することによって情報を読み出す仕組みになっている。

また、強磁性トンネル効果（TMR：Tunneling Magneto-Resistive）を利用した磁気素子では、GMR素子に比べて抵抗変化率を格段に大きくすることができる。TMRとは、極薄の絶縁層を挟んで積層された2つの強磁性層（磁化方向が固定された固定層と、磁化方向が変化可能な感磁層すなわち自由層）において、互いの磁化方向の相対角度により絶縁層を流れるトンネル電流値が変化する現象である。すなわち、磁化方向が平行である場合にトンネル電流は最大（素子の抵抗値は最小）となり、反平行の場合、トンネル電流は最小（素子の抵抗値は最大）となる。かくして、TMR-MRAMでは、記憶情報の書き込みはGMR-MRAMと同様に行われ、情報の読み出しは、絶縁層に対し層面に垂直方向に電流を流し、強磁性層間の相対的な磁化方向（平行または反平行）の違いを出力電流値ないしセル抵抗値の差として検出する方法が採られる。

TMR素子の具体例としては、CoFe/Al₂O₃/CoFeの積層構造が知られるが、その抵抗変化率は40%以上にも及ぶ。また、TMR素子は抵抗が高く、MOS型電界効果トランジスタ（MOSFET：Metal-Oxide-Semiconductor Field Effect Transistor）などの半導体デバイスとのマッチングが取り易いとされている。こうした利点から、TMR-MRAMは、GMR-MRAMと比較して高出力化が容易であり、記憶容量やアクセス速度の向上が期待されている。

そのセルアレイ構造としては、データ線上に複数のTMR素子を並列接続したうえで、選択用の半導体素子を、各々のTMR素子に対応させて配置するものやデータ線ごとに配置するものが提案されている。また、行データ線、列データ線を用いてTMR素子をマトリクス状に配置し、各データ線ごとに選択用トランジスタを配設したのもも提案されている。

このうち、読み出し時の消費電力効率の面で最も優れた特性を有しているのは、各々のTMR素子に対して選択用半導体素子を配置する構造である。ただし、各半導体素子の特性にばらつきが生じている場合、それに起因した雑音が無視でき

ない。加えて、データ線に結合した雑音、センスアンプの特性ばらつきによる雑音、電源回路から回り込む周辺回路の雑音も考慮すると、記憶セルの出力電圧の S/N 比は、数 dB 程にしかない可能性がある。

そのため、読み出し出力の S/N 比を向上すべく、TMR-MRAMのセルアレイには次のような改良がなされてきた。よく用いられるのは、選択した一つの記憶セルの出力電圧 V を参照電圧 V_{ref} と比較し、その差分電圧 V_{sig} を差動増幅する方法である。差動増幅の目的は、第1に、記憶セルが接続されるデータ線対に生じる雑音を除去することであり、第2に、センス線駆動用またはセル選択用の半導体素子の特性ばらつきによる出力電圧のオフセットを除去することである。しかしながら、参照電圧 V_{ref} の発生回路は、ダミーセルや半導体素子を用いた回路によって実現され、この回路と記憶セルとの間でも素子の特性ばらつきは存在するため、出力電圧のオフセットを完全に除去することは原理的に不可能である。

これを解決するものとしては、1対のTMR素子によって記憶セルを構成し、これら対をなす素子からの出力を差動増幅する方法が一般に広く知られている。この方法においては、対をなすTMR素子それぞれの感磁層の磁化方向が、常に、互いに反平行となるように書き込みがなされる。すなわち、一方の素子では感磁層の磁化と固定層の磁化が平行、他方の素子では両層の磁化が互いに反平行となるように相補的に書き込みを行い、2つの素子の出力を差動増幅して読み出すことで同相雑音を除去し、 S/N 比を向上させるというものである。そのような差動増幅型の回路構成は、特開2001-236781号公報や特開2001-266567号公報、ISSCC 2000 Digest paper TA7.2 などにおいて開示されている。

例えば、特開2001-236781号公報や特開2001-266567号公報に記載されている技術では、記憶セルを構成する第1のTMR素子と第2のTMR素子は、それぞれの一端が一对の第1、第2のデータ線に別々に接続され、他端は共に同一のセル選択用半導体素子を介してビット線に接続されるようになっている。ワード線は、セル選択用半導体素子に接続される。情報の読み出しは、第1のデータ線と第2のデータ線とを等電位に保ちつつビット線と第1、第2の

データ線の各々との間に電位差を与え、第 1, 第 2 のデータ線に流れる電流量の差分値を出力とすることでなされる。

しかしながら、こうした差動増幅方式の全般において、対をなす TMR 素子間の抵抗値のばらつきが問題となっていた。TMR 素子には製造プロセスで生じる抵抗ばらつきがあり、これに起因する電流誤差は避けられない。そのため、否応なく出力信号の S/N 比が低下する結果となっていた。

また、上記の配線構成例についていえば、安定した読み出し信号出力を得るには、第 1, 第 2 の各データ線に接続された TMR 素子間の抵抗ばらつき、および選択用半導体素子間の特性ばらつきを十分に抑制する必要がある。しかしながら、この場合には、第 1 のデータ線と第 2 のデータ線に等電位の電圧差を与えるように構成されているために、読出電流は上記ばらつきに応じて変動してしまう。つまり、この構成は、原理的に上記のばらつきを抑制できるようになってはおらず、これらのばらつきによる雑音に対し万全な方策をとることは極めて難しいという問題があった。

こうした理由により、従来の MRAM では、読出信号の S/N 比は十分に改善されたとは言えなかった。また、その結果、素子の抵抗変化率がおおよそ 40 % に達するにも関わらず、実際の TMR-MRAM においては十分大きな信号出力が得られていなかったのである。このように、現状のメモリ構造のままでは、動作安定性の点ですでに問題を抱えているだけでなく、さらなるメモリの高密度化に十分対応できないことが想定される。また、消費電力の低減や、駆動回路の省スペース化もまた、重要な課題となっている。

発明の開示

本発明はかかる問題点に鑑みてなされたもので、その目的は、S/N 比が高い読み出し信号出力を得ることができると共に、消費電力と回路スペースの削減が可能な磁気メモリデバイスおよびセンスアンプ回路、ならびに磁気メモリデバイスの読出方法を提供することにある。

本発明の磁気メモリデバイスは、外部磁界によって磁化方向が変化する感磁層をそれぞれ有する複数の磁気抵抗効果素子を備え、1 つの記憶セルが一对の磁気

抵抗効果素子を含むように構成された磁気メモリデバイスであって、この一对の磁気抵抗効果素子に読出電流を供給する読出線対と、読出線対を流れる一对の読出電流の差に基づいて記憶セルから情報を読み出すセンスアンプ回路とを備え、センスアンプ回路が、読出線対ごとに設けられた差動スイッチ対と、各差動スイッチ対と電源との間に設けられたバイアス抵抗器対と、複数の差動スイッチ対について共通に設けられ、各差動スイッチ対を流れる一对の読出電流の和を一定化する定電流回路とを含むものである。

なお、本発明の磁気メモリデバイスにおいては「接続され」とは、少なくとも電氣的に接続された状態を指し、物理的に直接に接続されていることを必ずしも条件としない。また、本発明において、「電源」とは、回路動作に必要な電流ないし電圧の供給源であり、磁気メモリデバイスの内部電源ラインを意味する。また、「差動スイッチ対」とは、例えば、一方のスイッチ素子に $160\ \mu\text{A}$ が流れ他方のスイッチ素子に電流が流れないといった、完全にオン・オフの関係となる差動動作を行うものにとどまらず、動作時に生じる相対的な2状態、例えば、一方のスイッチ素子に $110\ \mu\text{A}$ が流れ他方のスイッチ素子に $50\ \mu\text{A}$ の電流が流れるといった、一方により多くの電流が流れ、他方はより少ない電流しか流せない中間状態において差動動作を行うものをも意味する。

この磁気メモリデバイスでは、記憶セルを構成する一对の磁気抵抗効果素子の各々に対し、その和が常に一定であるような一对の読出電流が供給され、これら読出電流の差分に基づいて記憶セルから情報が読み出される。この方式によれば、読出電流は差動出力されるため、読出線の各々に生じる雑音や、磁気抵抗効果素子ごとの出力値に含まれるオフセット成分が相殺される。また、その際に、読出電流の差分は、センスアンプ回路により電圧差として差動増幅される。センスアンプ回路は、差動スイッチ対、バイアス抵抗器対を含む部分については読出線対ごとに複数設けられるが、読出電流の総和を一定化するための定電流回路を共用とすることから、定電流回路の特性ばらつきに起因するセンスアンプ出力のばらつきが抑えられる。

この磁気メモリデバイスは、より具体的には、読出線対と電源との間に電流電圧変換用抵抗器対を備え、電流電圧変換用抵抗器対の電源側とは反対側の端子が、

センスアンプ回路の差動スイッチ対に接続されていることが好ましい。電源から一対の読出線のそれぞれに供給される読出電流は、電流電圧変換用抵抗器対における電圧降下により、電圧出力として取り出され、センスアンプ回路に入力される。電流電圧変換用抵抗器は、大きな出力値を得るために、磁気抵抗効果素子の抵抗値よりも大きい抵抗値を有することが望ましい。

また、センスアンプ回路においては、複数の差動スイッチ対の各々と定電流回路との間には、複数の差動スイッチ対のいずれか1つを選択する第1のスイッチと、電源と読出線対との間に設けられ、読出線対に読出電流を供給するか否かを選択する一対の第2のスイッチとが設けられていることが好ましい。すなわち、第1のスイッチにより選択されたセンスアンプ回路でのみ差動スイッチ素子一定電流回路間が導通して動作可能となり、また、一対の第2のスイッチにより選択された読出線対にのみ読出電流が供給される。これら第1および第2のスイッチが、複数の差動スイッチ対のうちいずれか1つを選択するための第1の選択信号に基づいて開閉制御されるようにすると、読み出し対象の記憶セルを含むビット列が選択されると共に、選択されたビット列に対応するセンスアンプ回路が動作対象に選ばれるようになる。さらに、第1のスイッチが、複数の差動スイッチ対のうちのいずれか1つを選択するための第1の選択信号と、読出モードであることを示す第2の選択信号とに基づいて開閉制御され、第2のスイッチが、第1の選択信号に基づいて開閉制御されるようにすれば、情報は、読出モード時にのみ出力され、書込モード時には出力されないように制御される。

定電流回路は、バンドギャップリファレンスを利用して構成することができ、例えば、電流制御用トランジスタと、電流制御用トランジスタのベースと接地との間に接続されたダイオードと、電流制御用トランジスタのエミッタと接地との間に接続された電流制御用抵抗器とを含んで構成することができる。

また、こうした構成の定電流回路において、トランジスタのベースを、トランジスタを遮断状態にし得る電圧レベルの制御信号が入力される定電流回路制御端子に接続すると、定電流回路制御端子に入力される制御信号によって、この定電流回路を共用するセンスアンプ回路のすべてを動作可能なアクティブ状態か、休止状態（スタンバイ状態）かのいずれかの状態に制御することができる。ここで

いうスタンバイ状態とは、回路系の動作を完全に停止させるものではなく、次に選択されるまでは動作しない一旦休止の状態を意味する。

なお、バイアス抵抗器対もまた、複数の差動スイッチ対について共通に設けることができ、この場合、バイアス抵抗器対の特性ばらつきの影響がセンスアンプ出力より排除されるために好ましい。

さらに、この磁気メモリデバイスは、一对の第2のスイッチ、電流電圧変換用抵抗器対および差動スイッチ対が、同一の領域内に集積配置されたものであることが、より好ましい。すなわち、センスアンプ回路が形成される領域内に、一对の第2のスイッチ、電流電圧変換用抵抗器対が形成される。これにより、対をなす素子の各々は、近接して配置されることから、駆動中の温度変化がほぼ等しく、互いの特性値にずれが生じることが防止される。また、これらの一对の第2のスイッチ、電流電圧変換用抵抗器対および差動スイッチ対が、それぞれ、対称な回路を構成していると、適正な差動出力が得られるようになり、好ましい。なお、ここでいう「対称な」とは、回路を構成する素子のうち、対をなす素子同士の電気的特性が略等しいことを意味する。

こうした磁気メモリデバイスは、複数の第1の書込線と、複数の第1の書込線にそれぞれ交差するように延びる複数の第2の書込線とを備えたものであって、複数の磁気抵抗効果素子の各々が、感磁層を含み、積層面に垂直な方向に読出電流が流れるように構成された積層体と、積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に、第1および第2の書込線によって貫かれるように構成された環状磁性層とを含んでいることが望ましい。ここで、「環状磁性層」の「環状」とは、少なくとも内部を貫通した第1および第2の書込線からみたときに、それぞれの周囲を磁氣的かつ電氣的に連続して完全に取り囲み、第1または第2の書込線を横切る方向の断面が閉じている状態を示している。よって、環状磁性層は、磁氣的かつ電氣的に連続である限りにおいて絶縁体が含有されることを許容する。製造工程において発生する程度の酸化膜を含んでもよいのは無論である。「軸方向」とは、この環状磁性層単体に注目したときの開口方向、すなわち内部を貫通する第1および第2の書込線の延在方向を指す。さらに、「積層体の一方の面側に、…配設され」とは、環状磁性層が積層体

の一方の面の側に積層体とは別体として配設される場合のほか、環状磁性層が積層体の一部を含むように配設される場合をも含むという趣旨である。

磁気抵抗効果素子の各々は、環状磁性層を貫く第1および第2の書込線の双方を流れる電流により生ずる磁界によって情報が書き込まれる。その際、書込線に電流を流すことによって環状磁性層に閉磁路が形成されるために、感磁層の磁化反転が効率的に行われ、確実に情報が書き込まれる。こうして書き込まれた情報からは、読出時に、より大きな信号出力が得られる。この場合に、感磁層と環状磁性層とが電氣的に接続されていると、感磁層に流した読出電流は環状磁性層を介して読出線へと流れるため、第1および第2の書込線を感磁層に近接して配置することができる。そうした場合、書込線に流す書込電流の大きさを小さくすることができ、効率よく書き込みが行われる。

また、この磁気メモリデバイスは、第1および第2の書込線の双方を流れる電流により誘導される磁界によって、一对の磁気抵抗効果素子における各感磁層の磁化方向が互いに反平行となるように変化し、記憶セルに情報が記憶されることが好ましい。このとき、対をなす磁気抵抗効果素子は、一方が低抵抗状態ならば必ず他方が高抵抗状態となり、このような2状態に2値情報が対応する。記憶された情報は、これら一对の磁気抵抗効果素子のそれぞれに流す読出電流の差分に基づいて記憶セルから読み出される。なお、ここでいう「磁化が互いに反平行」とは、互いの磁化方向、すなわち磁性層内の平均磁化のなす角度が厳密に180度である場合のほか、製造上生ずる誤差や完全に単軸化されなかったが故に生じる程度の誤差等に起因して互いの磁化のなす角度が180度から所定角度だけ外れている場合も含む。

また、本発明のセンスアンプ回路は、外部磁界によって磁化方向が変化する感磁層をそれぞれ有する複数の磁気抵抗効果素子と、一对の磁気抵抗効果素子に読出電流を供給する読出線対とを備え、1つの記憶セルが一对の磁気抵抗効果素子を含むように構成された磁気メモリデバイス、に適用されるセンスアンプ回路であって、読出線対ごとに設けられた差動スイッチ対と、各差動スイッチ対と電源との間に設けられたバイアス抵抗器対と、複数の差動スイッチ対について共通に設けられた定電流回路とを備え、読出線対を流れる一对の読出電流の差に基づい

て記憶セルから情報を読み出すものである。

本発明のセンスアンプ回路では、読出電流の差分が電圧差として差動増幅され、その際には複数のセンスアンプ間で共用とした定電流回路において読出電流の総和が一定化される。よって、定電流回路のばらつきに起因する出力のばらつきが抑えられる。

また、本発明の磁気メモリデバイスの読出方法は、外部磁界によって磁化方向が変化する感磁層をそれぞれ有する複数の磁気抵抗効果素子と、一対の磁気抵抗効果素子に読出電流を供給する読出線対とを備え、1つの記憶セルが一対の磁気抵抗効果素子を含むように構成された磁気メモリデバイス、に適用される読出方法であって、読出線対ごとに差動スイッチ対を設け、各差動スイッチ対と電源との間にバイアス抵抗器対を設け、複数の差動スイッチ対について共通に定電流回路を設け、読出線対を流れる一対の読出電流の差に基づいて記憶セルから情報を読み出すものである。

本発明の磁気メモリデバイスの読出方法は、本発明の磁気メモリデバイスから情報を読み出すものであり、読出電流は差動出力され、読出線の各々に生じる雑音や磁気抵抗効果素子ごとの出力値に含まれるオフセット成分が除去される。このとき、読出電流の差分は、差動スイッチ対により電圧差として差動増幅され、複数の差動スイッチ対の間で共用とした定電流回路を用いて読出電流の総和を一定化することで、定電流回路の特性ばらつきに起因する出力のばらつきが抑えられる。

図面の簡単な説明

第1図は、本発明の第1の実施の形態に係る磁気メモリデバイスの全体構成を示すブロック図である。

第2図は、第1図に示した磁気メモリデバイスの記憶セルとその読み出し回路の構成を表す図である。

第3図は、第2図に示した読み出し回路のうち、センスアンプ全体の構成を説明するための回路図である。

第4図は、第1図に示した記憶セル群のY方向駆動回路部の周辺の実装の様子

を表す構成図である。

第5図は、第4図に示したY方向駆動回路部の実際の回路配置を表す図である。

第6図は、第5図に示した単位駆動回路のうちセンスアンプ回路エリアのパターン配置図である。

第7図は、第1図に示した記憶セルの具体的構成を示す断面図である。

第8図は、第1図に示した磁気メモリデバイスの記憶セルとその書き込み用配線構造を表す図である。

第9図は、第7図に示した記憶セルの等価回路を表す図である。

第10A図および第10B図は、第7図に示した記憶セルにおける情報記憶の方法を説明するための図である。

第11図は、第7図に示した記憶セルにおける情報書き込み方法を説明するための図である。

第12図は、第1図に示した磁気メモリデバイスにおける記憶セルからの読み出し動作原理を説明するための図である。

第13図は、第2図に示した読み出し回路の比較例を説明するための回路図である。

第14図は、第2図に示した読み出し回路における逆流防止用ダイオードの変形例に係る整流素子とその配置を示す図である。

第15図は、第2図に示した読み出し回路における逆流防止用ダイオードの変形例に係る整流素子とその配置を示す図である。

第16図は、第2図に示した読み出し回路における逆流防止用ダイオードの変形例に係る配置を示す図である。

第17図は、第2図に示した読み出し回路における逆流防止用ダイオードの変形例に係る整流素子とその配置を示す図である。

第18図は、第2図に示した読み出し回路における逆流防止用ダイオードの変形例に係る整流素子とその配置を示す図である。

第19図は、本発明の第2の実施の形態に係るセンスアンプの構成図である。

第20図は、第19図に示したスイッチの一具体例を示す図である。

第21図は、第20図に示したスイッチにおける入力制御信号と動作状態との

対応を表す図である。

第22図は、第20図に示したスイッチの変形例を示す図である。

第23図は、本発明の磁気メモリデバイスの実施例に係る読み出し回路の図である。

第24図は、第19図に示した読み出し回路におけるビットデコード電圧と測定点P1～P4の電流測定値との関係を示す図である。

第25図は、第19図に示した読み出し回路におけるビットデコード電圧と測定点P1～P9の電流測定値との関係を示す図である。

第26図は、第19図に示した読み出し回路における磁気記憶素子の記憶セル単位の抵抗変動と出力電圧との関係を示す図である。

第27図は、第22図に示した実施例に対する比較例の読み出し回路を説明するための等価回路図である。

第28図は、第19図に示した読み出し回路における、対をなす磁気記憶素子間の抵抗変動と出力電圧との関係を示す図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照して詳細に説明する。本発明の磁気メモリデバイスの特徴は、(1)読み出し回路系が差動読出方式をとることと、(2)読出電流を差動増幅するセンスアンプ回路の各々が、その一部である定電流回路を共用する構成となっていることにある。そこで、第1の実施の形態においては、(1)の特徴を備えた基本的な読み出し回路系の構成について説明する。ここでは、数々の読み出し信号のS/N比改善のための工夫について触れる。次いで、第2の実施の形態において(2)の特徴を説明する。

[第1の実施の形態]

第1図は、本発明の第1の実施の形態に係る磁気メモリデバイスの全体の構成を示した図である。この磁気メモリデバイスは、いわゆる半導体メモリチップとして具現化されるMRAMであり、アドレスバッファ101、データバッファ102、制御ロジック部103、記憶セル群104、Y方向駆動回路部106、およびX方向駆動回路部108を主要な構成要素としている。この場合に、磁気メ

メモリデバイスは、シリコンチップ中央の広い領域に記憶セル群104が配設され、周囲のわずかな領域に駆動回路部106、108等の回路部品や配線が実装されたものとなっている。

記憶セル群104は、全体としてマトリクスを構成するよう、多数の記憶セル12がワード線方向(X方向)、ビット線方向(Y方向)に配列したものである。個々の記憶セル12は、データを記憶する最小単位であり、「1」、「0」のビットデータが記憶されるようになっている。なお、ここでは、記憶セル群104における記憶セル12の各列をワード列 X_n 、各行をビット列 Y_n と呼ぶ。

Y方向駆動回路部106は、Y方向アドレスデコーダ106A、読み出しのためのセンスアンプ106B、書き込みのためのY方向カレントドライブ106Cから構成され、各々が記憶セル群104に対し、記憶セル12のビット列 Y_n (Y_1, Y_2, \dots)ごとに接続されている。

X方向駆動回路部108は、X方向アドレスデコーダ108A、読み出しのための定電流回路108B、書き込みのためのX方向カレントドライブ108Cから構成され、各々が記憶セル群104に対し、記憶セル12のワード列 X_n (X_1, X_2, \dots)ごとに接続されている。したがって、例えば、ある一つの記憶セル12は、図示したように、X方向アドレスデコーダ108A、Y方向アドレスデコーダ106Aから入力されるワード方向およびビット方向のアドレス(X_n, Y_n)によって一意に選択される。

アドレスバッファ101は、外部アドレス入力端子 $A_0 \sim A_{20}$ を備えると共に、アドレス線105、107を介してY方向アドレスデコーダ106A、X方向アドレスデコーダ108Aに接続されている。このアドレスバッファ101は、外部アドレス入力端子 $A_0 \sim A_{20}$ から記憶セル12を選択するための選択信号を取り込み、内部バッファ増幅器においてアドレスデコーダ106A、108Aで必要な電圧レベルまで増幅する機能を有している。また、増幅した選択信号を、記憶セル12のワード列方向(X方向)、ビット列方向(Y方向)の2つの選択信号に分け、アドレスデコーダ106A、108Aのそれぞれに入力するようになっている。なお、磁気メモリデバイスが記憶セル群104を複数有している場合、アドレスバッファ101には、複数の記憶セル群104から1つの記憶セル

群 104 を選択するためのアドレス信号もまた入力されるようになっている。

データバッファ 102 は、外部とデジタルデータ信号のやり取りを行うための外部データ端子 D0 ～D7 を備えると共に、制御ロジック部 103 と制御信号線 113 により接続されている。データバッファ 102 は、入力バッファ 102 A および出力バッファ 102 B からなり、それぞれ、制御ロジック部 103 からの制御信号によって動作するようになっている。入力バッファ 102 は、書き込み用データバス 110, 111 を介してそれぞれ Y 方向カレントドライブ 106 C, X 方向カレントドライブ 108 C に接続されており、メモリ書き込み時に外部データ端子 D0 ～D7 からデータ信号を取り込み、このデータ信号を内部バッファ増幅器で必要とされる電圧レベルまで増幅し、カレントドライブ 106 C, 108 C それぞれに出力する機能を有している。出力バッファ 102 B は、読み出し用データバス 112 を介してセンスアンプ 106 B に接続されており、内部バッファ増幅器を用いることにより、メモリ読み出し時にセンスアンプ 106 B より入力される読み出しデータ信号を、低インピーダンスで外部データ端子 D0 ～D7 に出力する機能を有している。

制御ロジック部 103 は、入力端子 CS, 入力端子 WE を備え、データバッファ 102 に制御信号線 113 で接続されている。制御ロジック部 103 は、記憶セル群 104 に対する動作制御を行うものであり、入力端子 CS からは、磁気メモリデバイスの書き込み／読み出し動作をアクティブにするか否かの信号（チップセレクト；CS）が入力される。また、入力端子 WE からは、書き込み／読み出しを切り替えるための書き込み許可信号（ライトイネーブル；WE）が入力される。この制御ロジック部 103 は、入力端子 CS, 入力端子 WE より取り込んだ信号電圧を、内部バッファ増幅器により駆動回路部 106, 108 にて必要な電圧レベルまで増幅する機能を有している。

〔読み出し回路の構成〕

次に、この磁気メモリデバイスの読み出し回路の構成について説明する。

第 2 図は、記憶セル群とその読み出し回路からなる回路系の構成図である。この読み出し回路系は、記憶セル 12 が 1 対の磁気抵抗効果素子 12 A, 12 B からなる差動増幅型である。ここでは、各記憶セル 12 の情報読み出しを、磁気抵

抗効果素子 12A, 12B それぞれに流すセンシング電流（センス用ビットデコード線 21A, 21B から磁気抵抗効果素子 12A, 12B それぞれに流入し、共通のセンス用ワードデコード線 31 に流出する電流）の差分値を出力として行うようになっている。

同図において、記憶セル群 104 のビット列 Y_n ごとの記憶セル 12 と、センスアンプ 106B を含む読み出し回路の一部とが、読み出し回路の繰り返し単位であるビット方向単位読出回路 80 (\dots , 80n, 80n+1, \dots) を構成しており、ビット列方向に並列に配置されている。ビット方向単位読出回路 80 (\dots , 80n, 80n+1, \dots) の各々は、Y 方向アドレスデコーダ 106A にビットデコード線 20 (\dots , 20n, 20n+1, \dots) を介して接続され、出力バッファ 102B に読み出し用データバス 112 を介して接続されている。なお、同図にはスペースが足りず、ビット方向単位読出回路 80 の全体を描くことができないため、2 列で代表させて描いている。記憶セル群 104 についても同様で、ビット列 Y_n , Y_{n+1} の 2 列で代表させている。

各記憶セル 12 の磁気抵抗効果素子 12A, 12B は、GMR ないし TMR を利用した磁気抵抗効果素子である。ここでは、一具体例として磁気抵抗効果素子 12A, 12B が TMR 素子である場合について説明するが、その詳細な構成については後述する。

記憶セル群 104 には、X 方向に配列されるセンス用ワードデコード線 31（以後、センスワード線と略称）と、Y 方向に配列される 1 対のセンス用ビットデコード線 21A, 21B（以後、センスビット線と略称）とによりマトリクス状の配線がなされている。個々の記憶セル 12 は、これらの交差位置に配設され、共通のセンスビット線 21A, 21B に並列接続されている記憶セル 12 がビット列 Y_n を構成し、共通のセンスワード線 31 にカスケード状に接続されている記憶セル 12 がワード列 X_n を構成している。

1 つの記憶セル 12 では、1 対の磁気抵抗効果素子 12A, 磁気抵抗効果素子 12B それぞれの一端がセンスビット線 21A, 21B に接続され、またそれぞれの他端は、1 対の逆流防止用ダイオード 13A, 13B のそれぞれを介して共通のセンスワード線 31 に接続される。ここで、個々の磁気抵抗効果素子 12A,

1 2 Bに対するセンシング電流の電流経路は、各素子からの導線とセンスビット線 2 1 A, 2 1 Bとの結節点から、各素子からの導線とセンスワード線 3 1との結節点までの間の経路とする。なお、ここでは、センスビット線 2 1 A, 2 1 Bが本発明の「読出線対」に対応している。

(ビット列方向の接続)

センスビット線 2 1 A, 2 1 Bは、記憶セル 1 2のビット列 Y_n (Y_1, Y_2, \dots) ごとに、対をなして配設されている。これらのセンスビット線 2 1 A, 2 1 Bは、記憶セル群 1 0 4を貫くようにY方向に延在し、一端が電源 V_{cc} に接続されている。センスビット線 2 1 A, 2 1 Bの一端側(電源 V_{cc} 側)には、それぞれ、電流電圧変換用抵抗器 2 3 A, 2 3 B、およびトランジスタ 2 2 A, 2 2 Bのコレクターエミッタ間が直列に接続されている。さらに、ビット列 Y_n を構成する複数の記憶セル 1 2は、それぞれセンスビット線 2 1 Aとセンスビット線 2 1 Bの双方に接続されている。具体的には、記憶セル 1 2における磁気抵抗効果素子 1 2 Aの一端がセンスビット線 2 1 Aに接続され、磁気抵抗効果素子 1 2 Bの一端がセンスビット線 2 1 Bに接続されている。

さらに、トランジスタ 2 2 A, 2 2 Bのベース側には、ビットデコード線 2 0が接続されている。ビットデコード線 2 0は、Y方向アドレスデコーダ 1 0 6 Aに接続されており、Y方向アドレスデコーダ 1 0 6 Aより、書き込み/読み出しの対象となる記憶セル 1 2が属するビット列 Y_n に対して選択的に出力される選択信号が入力されるようになっている。すなわち、ビットデコード線 2 0 ($\dots, 2 0_n, 2 0_{n+1}, \dots$) は、記憶セル 1 2の各ビット列 Y_n に対応して設けられており、Y方向アドレスデコーダ 1 0 6 Aからの選択信号を動作対象であるビット列 Y_n に送出する機能を有している。トランジスタ 2 2 A, 2 2 Bは、一对の第2の半導体スイッチとして、ビットデコード線 2 0から入力される選択信号の値(ビットデコード値)に応じて開閉する機能を備えている。

なお、ビットデコード線 2 0とセンスビット線 2 1 A, 2 1 Bは、このように同じデコード機能を有しているが、両者は動作上、明確に区別される。すなわち、ビットデコード線 2 0はY方向アドレスデコーダ 1 0 6 Aより選択セルを伝える信号線であり、その値は“H i g h”, “L o w”の2値のデジタル信号である

のに対し、センスビット線 2 1 A, 2 1 B は磁気抵抗効果素子 1 2 A, 1 2 B に流れ込む微弱電流の検出を目的とするアナログ信号線である。なお、ワードデコード線 3 0 とセンスワード線 3 1 についてもこれと同じことが言える。

また、センスビット線 2 1 A, 2 1 B に接続された電流電圧変換用抵抗器 2 3 A, 2 3 B の電源 V_{cc} とは反対側の端部における結節点からは、センスアンプ入力線 4 0 A, 4 0 B (以後、入力線 4 0 A, 4 0 B) が導出されている。電流電圧変換用抵抗器 2 3 A, 2 3 B は、センスアンプ 1 0 6 B のバイアス抵抗として機能する。すなわち、自身の電圧降下によって、電源 V_{cc} からセンスビット線 2 3 A, 2 3 B を流れ下るセンシング電流を電圧に変換し、入力線 4 0 A, 4 0 B よりセンスアンプ 1 0 6 B に導くために設置される。また、電流電圧変換用抵抗器 2 3 A, 2 3 B は、電源 V_{cc} の供給電圧よりも ϕ だけ低い中間電圧レベルを作り出す機能も兼ね備えている。ここでは、センシング電流が微弱なために、電流電圧変換用抵抗器 2 3 A, 2 3 B で大きな電圧降下を得て、入力線 4 0 A, 4 0 B に入力する電圧値をできるだけ大きくするには、電流電圧変換用抵抗器 2 3 A, 2 3 B の抵抗値を大きくする必要がある。よって、電流電圧変換用抵抗器 2 3 A, 2 3 B は、例えば 1 0 0 k Ω 程度の高い抵抗値を有することが望ましく、少なくとも、磁気抵抗効果素子 1 2 A, 1 2 B の抵抗値よりも大きい抵抗値を有することが望ましい。

(ワード列方向の接続)

センスワード線 3 1 の各々には、同じワード列 X_n (X_1 , X_2 , ...) に配列された記憶セル 1 2 が接続されている。ただし、本実施の形態では、記憶セル 1 2 とセンスワード線 3 1 との間に、整流素子としての逆流防止用ダイオード 1 3 A, 1 3 B が配設されている。逆流防止用ダイオード 1 3 A, 1 3 B の各々は、磁気抵抗効果素子 1 2 A, 1 2 B に対応し、それぞれ個別に接続されている。また、磁気抵抗効果素子 1 2 A と逆流防止用ダイオード 1 3 A、および、磁気抵抗効果素子 1 2 B と逆流防止用ダイオード 1 3 B は、互いに絶縁された状態にある。

逆流防止用ダイオード 1 3 は、センスワード線 3 1 から各磁気抵抗効果素子 1 2 A, 1 2 B に電流が逆流することを防止するための一方向素子として設けられている。逆流防止用ダイオード 1 3 としては、例えば、pn 接合ダイオード、シ

ヨットキーダイオード、あるいはバイポーラ・ジャンクション・トランジスタ（BJT：Bipolar Junction Transistor）のベース－コレクタ間を短絡してダイオードとしたものや、MOSFETのゲート－ドレイン間を短絡してダイオードとしたものなどを用いることができる。

また、センスワード線31の接地側には、トランジスタ33のコレクターエミッタ間が接続され、このトランジスタ33のベース側には、ワード列X_nに対応してワードデコード線30（…，30_n，30_{n+1}，…）が配設されている。ワードデコード線30は、X方向アドレスデコーダ108Aに接続されており、X方向アドレスデコーダ108Aよりワード列X_nを選択する選択信号が入力されると共に、選択信号をトランジスタ33のベース側に送出する機能を有している。

トランジスタ33は、ベース入力される選択信号の値（ビットデコード値）に応じて開閉する第1の半導体スイッチとして機能し、センスワード線31の導通／遮断を制御するようになっている。このトランジスタ33には、例えば、BJTまたはMOSFETを用いることができる。なお、トランジスタ33のエミッタ側には電流制限抵抗器34が設けられている。

本実施の形態では、センスワード線31の接地側に、さらに定電流回路108Bが配設されている。定電流回路108Bは、センスワード線31を流れる電流を一定とする機能を有しており、定電圧発生用のダイオード32，トランジスタ33および電流制限抵抗器34から構成されている。よって、トランジスタ33は、ワードデコード用半導体スイッチとしての機能に加え、コレクターエミッタ間に一定の電流を流す機能を備えたものとなっており、そのベース側はダイオード32のアノードにも接続されている。ダイオード32は、この場合、2個のダイオードが直列に接続したものである。

（センスアンプの回路構成）

センスアンプ106Bは、ビット方向単位読出回路80につき1つ設けられ、各ビット方向単位読出回路80において1対のセンスビット線21A，21Bの間の電位差を取り込み、この電位差を増幅する機能を有する。各ビット方向単位読出回路80のセンスアンプ106Bは、それぞれ入力線40A，40Bにより対応するセンスビット線21A，21Bに接続されると共に、すべては共通のセ

ンスアンプ出力線 5 1 A, 5 1 B (以後、出力線 5 1 A, 5 1 B) に接続され、最後には読み出し用データバス 1 1 2 により出力バッファ 1 0 2 B に接続されている。

センスアンプ 1 0 6 B それ自体は、いわゆる差動増幅器として構成され、トランジスタ 4 1 A, 4 1 B からなる増幅段と、電圧出力を取り出すためのバイアス抵抗であるバイアス抵抗器 4 2 A, 4 2 B と、電圧降下用のダイオード 4 3, 電流制御機能および選択スイッチ機能を有するトランジスタ 4 4, 電圧降下用の抵抗器 4 5 とを備えている。

第 3 図は、読み出し回路全体からセンスアンプ 1 0 6 B の部分を抽出して示したものである。このように、各ビット方向単位読出回路 8 0 に設けられたセンスアンプ 1 0 6 B は、出力線 5 1 A, 5 1 B に対しカスケード接続されている。また、バイアス抵抗器 4 2 A, 4 2 B は、カスケード接続されるすべてのセンスアンプ 1 0 6 B に共有されている。なお、出力線 5 1 A, 5 1 B は、その出力最終段において読み出し用データバス 1 1 2 に替わられ、出力バッファ 1 0 2 B に接続されている。

トランジスタ 4 1 A, 4 1 B は、ベース側に入力線 4 0 A, 4 0 B が接続され、コレクタ側に出力線 5 1 A, 5 1 B を介してバイアス抵抗器 4 2 A, 4 2 B が接続されている。また、トランジスタ 4 1 A, 4 1 B のエミッタ側には、トランジスタ 4 4 のコレクタ側が共通接続されている。トランジスタ 4 4 は、電流制限機能と、ビットデコード線 2 0 からのビットデコード値に応じて開閉する半導体スイッチとしての機能とを併せ持ち、ベース側にダイオード 4 3 を介してビットデコード線 2 0 が接続され、エミッタ側が抵抗器 4 5 を介して接地されている。ダイオード 4 3 は、そのバンドギャップリファレンスを利用してビットデコード線 2 0 の電圧レベルから ϕ だけ落とした中間電圧レベルを作り出し、この電圧値をトランジスタ 4 4 のベース側入力電圧とするために用いられている。

ここで、出力線 5 1 A, 5 1 B より取り出される出力信号値がばらつかないためには、バイアス抵抗器 4 2 A, 4 2 B に抵抗値が精度良く揃ったものを用いることが望ましい。トランジスタ 4 1 A, 4 1 B も、互いの特性が良く揃っていることが重要である。また、ダイオード 4 3, トランジスタ 4 4 および抵抗器 4 5

の各特性は、センスアンプ106B間で互いに等しくする必要がある。トランジスタ44には定電圧であるビットデコード値がベース入力されるので、トランジスタ44のコレクターエミッタ間を介して抵抗器45に流れ込む電流は一定値に制限される。そのため、トランジスタ41A、41Bを流れる電流の和は一定となり、差動出力が直接規格化される。そこで、センスアンプ106Bごとの電流規格値を揃え、出力信号値のばらつきを抑制するために、上記の各特性を等しくすることが望ましい。

次に、第4図～第6図を参照し、本実施の形態における磁気メモリデバイスの回路配置パターンについて説明する。

第4図は、記憶セル群のY方向駆動回路部の周辺の実装の様子を表し、第5図は、Y方向駆動回路部の実際の回路配置を表している。Y方向駆動回路部106は、記憶セル群104の一辺に形成され、その上部には、ボンディングパッド121が設けられている。このY方向駆動回路部106では、以上にみてきたように、Y方向アドレスデコーダ106A、センスアンプ106BおよびY方向カレントドライブ106Cのそれぞれが各ビット列 Y_n (Y_1, Y_2, \dots)に対応する回路を1構成単位として成り立っている。本実施の形態では、これら回路106A～106Cの1構成単位を、対応するビット列 Y_n (Y_1, Y_2, \dots)ごとにまとめたものを単位駆動回路 $D U_n$ ($D U_1, D U_2, \dots$)とすると共に、この単位駆動回路 $D U_n$ を、その幅が記憶セル12の幅 W に収まるように形成することで、対応するビット列 Y_n の端部にちょうど配置されるようにしている。

第5図には、ひとつの単位駆動回路が示されている。Y方向アドレスデコーダ106Aの回路エリアは、電源ライン122 (V_{cc})と、中間電位の電源ライン123 (V_m)、グラウンドライン124 (GND)との間に形成される。中間電位の電源ライン123は、バンドギャップ+2Φに対応した電圧を電流制限用トランジスタや、X方向では定電流回路108Bなどに供給する電圧源である。また、この回路エリア内をアドレス線105が横断するように延在しており、これに各単位駆動回路 $D U_n$ のアドレスデコーダ106Aが接続するようになっている。

センスアンプ106Bの回路エリアは、電源ライン125と、中間電位の電源

ライン 1 2 3, グラウンドライン 1 2 4 との間に形成される。このエリア内には、出力線 5 1 A, 5 1 B が横断するように延在しており、これに各単位駆動回路 D U_n のセンスアンプ 1 0 6 B がカスケード接続されるように配線がなされている。Y 方向カレントドライブ 1 0 6 C の回路エリアは、電源ライン 1 2 5 と、中間電位の電源ライン 1 2 6, グラウンドライン 1 2 7 との間に形成されている。

第 6 図は、単位駆動回路のうち、さらにセンスアンプのみの回路パターン配置を具体的に示している。先に第 2 図において説明したように、センスアンプ 1 0 6 B は、各ビット列 Y_n (Y₁, Y₂, ...) にそれぞれ対応付けられているだけでなく、センスビット線 2 1 A, 2 1 B の電源 V_{cc} 側に接続されている。そこで、ここでは、センスアンプ 1 0 6 B の回路エリアに、トランジスタ 2 2 A, 2 2 B, 電流電圧変換用抵抗器 2 3 A, 2 3 B を、センスアンプ 1 0 6 B と共に集積配置するようにしている。

この回路パターン配置図と第 2 図, 第 3 図の回路図とを対照すると、センスアンプ 1 0 6 B における 1 対のトランジスタ 4 1 A, 4 1 B の内側にトランジスタ 2 2 A, 2 2 B, 電流電圧変換用抵抗器 2 3 A, 2 3 B がちょうど対をなして配置されていることがわかる。ここで、ビアパッド 1 2 8 A, 1 2 8 B は、それぞれセンスビット線 2 1 A, 2 1 B へ接続される。また、第 6 図には示されていないが、ビットデコード線 2 0 は、グラウンドライン 1 2 4 を通り過ぎて Y 方向アドレスデコーダ 1 0 6 A に接続されている。なお、こうした理解を助けるため、第 6 図では、意図的に電源ライン 1 2 5 を上にグラウンドライン 1 2 4 を下にして、第 5 図ではなく第 2 図, 第 3 図と対応するようにしている。

ところで、トランジスタ 2 2 A, 2 2 B の対と、電流電圧変換用抵抗器 2 3 A, 2 3 B の対、およびセンスアンプ 1 0 6 B はすべて差動対であり、対をなす相手と特性が揃っていることが動作上重要である。よって、予め特性を揃えることは勿論であるが、それでも各回路素子の設置場所の温度条件が異なる場合などに、出力特性が異なってくることがある。これに対し、本実施の形態では、上記対をなす回路素子を近接して配置しているので、共に同じ温度変化を受けるために互いの特性は同様に変化し、差がほとんど生じない。これにより、温度変化によって生じる出力値の変化を低減させることができる。

(記憶セルの構成)

次に、本実施の形態において用いる磁気抵抗効果素子 1 2 A, 1 2 B、および記憶セル 1 2 の構成について説明する。

第 7 図は、記憶セルの構成を示す断面図である。このように、記憶セル 1 2 は、基板 1 0 の上に左右 1 対の磁気抵抗効果素子 1 2 A, 1 2 B が搭載されてなる。これら磁気抵抗効果素子 1 2 A, 1 2 B は、共に、第 1 の磁性層 1; 非磁性層 2, 第 2 の磁性層 3 が積層した積層体と、この積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に書込用ビット線 6 a, 書込用ワード線 6 b (第 1, 第 2 の書込線) によって貫かれるように構成された環状磁性層 5 とを含んで構成されている。第 2 の磁性層 3 と環状磁性層 5 は、非磁性導電層 4 を介して接合され、電氣的に接続されている。

また、磁気抵抗効果素子 1 2 A, 1 2 B それぞれには、積層体の上面 (環状磁性層 5 とは反対側の面) に読出センシング用導線 1 1 が設けられ、基板 1 0 に向かって、積層体に対しては積層面に垂直に電流を流すことができるように構成されている。

第 1 の磁性層 1 は、磁化方向の固定された強磁性層であり、第 2 の磁性層 3 は、外部磁界によって磁化方向が変化する強磁性層 (感磁層) である。これらは、数 nm (数 10 Å) と非常に薄い非磁性層 2 を挟んで積層されている。この積層体において、第 1 の磁性層 1 と第 2 の磁性層 3 との間に、積層面に垂直方向の電圧を印加すると、例えば第 2 の磁性層 3 の電子が非磁性層 2 を突き抜けて第 1 の磁性層 1 に移動してトンネル電流が流れる。すなわち、ここでの非磁性層 2 は、トンネルバリア層である。このトンネル電流は、非磁性層 2 との界面部分における第 1 の磁性層 1 のスピンの第 2 の磁性層 3 のスピンとの相対的な角度によって変化する。すなわち、第 1 の磁性層 1 のスピンと第 2 の磁性層 3 のスピンの相対角度が互いに平行な場合に磁気抵抗効果素子 1 2 A (1 2 B) の抵抗値は最小、反平行のときに最大となる。

第 2 の磁性層 3 は、書込用ビット線 6 a, 書込用ワード線 6 b による誘導磁界によって磁化が変化するようにになっている。ここで、第 2 の磁性層 3 の磁化は、誘導磁界によって反転し、これにより第 1 の磁性層 1 の磁化との相対角度が反転

するようになっている。また、書き込み対象の記憶セル 1 2 の選択は、いわゆるマトリクス駆動法によって行うため、書込用ビット線 6 a, 書込用ワード線 6 b のいずれか一方だけではなく、これらの双方に対し電流が同方向に流れるときのみ磁化反転が可能であるように、第 2 の磁性層 3 の磁気特性や寸法などが設定される。これが TMR 素子としての磁気抵抗効果素子 1 2 A (1 2 B) の基本構造である。

ここでは、環状磁性層 5 は、第 7 図において紙面に垂直方向の軸をもつ筒型の形状を有し、書込用ビット線 6 a, 書込用ワード線 6 b の互いに平行となった部分を内包している。すなわち、この環状磁性層 5 の軸方向は、書込用ビット線 6 a, 書込用ワード線 6 b の延在方向であり、軸方向を横切る断面方向において閉じた環状となっている。また、環状磁性層 5 は、高透磁率磁性材料から構成され、内包する書込用ビット線 6 a, 書込用ワード線 6 b の電流によって生じる磁束を層内部に閉じ込めることにより、第 2 の磁性層 3 の磁化方向を効率よく変化させる機能を有する。この環状磁性層 5 は、図示したように断面が閉ループとなっており、発生した誘導磁界が、断面と平行な面に沿って層内を還流するようになっている。これにより、環状磁性層 5 は、外部に漏洩磁束を生じさせない電磁遮蔽効果を有している。また、ここでは、第 2 の磁性層 3 に一面で接するように構成されているために、磁界を第 2 の磁性層 3 に伝えやすく、高い磁束密度でもって近接する第 2 の磁性層 3 の磁化方向を一層効率よく変えることができるようになっている。

また、第 8 図は、書込用ビット線 6 a, 書込用ワード線 6 b の配線構造を示したものである。このように、本実施の形態の磁気メモリデバイスは、複数の書込用ビット線 6 a と、この書込用ビット線 6 a とそれぞれ交差するように延びる複数の書込用ワード線 6 b とを備えている。これらは交差するように延びているが、その交差領域では部分的に平行となって延在しており、この平行部分に磁気抵抗効果素子 1 2 A, 1 2 B が形成されている。なお、ここでいう平行とは、製造上の誤差範囲 $\pm 10^\circ$ を含んでいる。ここでは、平行となった書込用ビット線 6 a, 書込用ワード線 6 b の合成磁界を用いて第 2 の磁性層 3 の磁化を反転させるが、この誘導磁界の大きさは、各配線が交差するときの合成磁界よりも大きい。よっ

て、書き込み動作を効率よく行うことができる。

なお、磁気抵抗効果素子 1 2 A (1 2 B) の各々には、読出センシング用導線 1 1 から積層体に流れ込み、環状磁性層 5 から基板 1 0 へと通り抜けるように電流が流れる。よって、トンネル電流を流す非磁性層 2 を除いた積層体の各層、および非磁性導電層 4、環状磁性層 5 には、すべて導電性を有する材料が用いられる。第 1 の磁性層 1、第 2 の磁性層 3 には、例えば、コバルト鉄合金 (C o F e) が用いられ、その他単体のコバルト (C o)、コバルト白金合金 (C o P t)、ニッケル鉄コバルト合金 (N i F e C o) などを用いることができる。また、第 1 の磁性層 1 と第 2 の磁性層 3 は、磁化方向が互いに平行または反平行となる状態で安定化するため、互いの磁化容易軸を平行とすることが望ましい。

非磁性層 2 は、トンネル抵抗等を基にその厚みが決められる。一般に、TMR 素子を用いた磁気メモリ素子では、トランジスタなどの半導体デバイスとのマッチングを図るため、トンネル抵抗は数 $10 \text{ k}\Omega \cdot (\mu\text{m})^2$ 程度が適当とされる。しかし、磁気メモリデバイスにおける高密度化および動作の高速度化を図るためには、トンネル抵抗は、 $10 \text{ k}\Omega \cdot (\mu\text{m})^2$ 以下、さらに好ましくは $1 \text{ k}\Omega \cdot (\mu\text{m})^2$ 以下とすることが望ましい。そうしたトンネル抵抗値を実現するためには、非磁性層 (トンネルバリア層) 2 の厚みは 2 nm 以下、さらに好ましくは 1.5 nm 以下とすることが望ましい。ただし、非磁性層 2 の厚みをあまり薄くすると、トンネル抵抗を低減することができる一方で、第 1 の磁性層 1 および第 2 の磁性層 3 との接合界面の凹凸に起因するリーク電流が生じ、MR 比が低下してしまうおそれがある。これを防止するため、非磁性層 2 の厚みは、リーク電流が流れない程度の厚みを有する必要がある、具体的には 0.3 nm 以上の厚みであることが望ましい。

非磁性導電層 4 は、第 2 の磁性層 3 と環状磁性層 5 とを反強磁性結合させるように機能するものであり、例えば、ルテニウム (R u)、銅 (C u) などが用いられる。環状磁性層 5 には、鉄 (F e)、ニッケル鉄合金 (N i F e)、C o、C o F e、N i F e C o 等を用いることができる。また、書込用ビット線 6 a、書込用ワード線 6 b による磁界を環状磁性層 5 に集中させるために、環状磁性層 5 の透磁率はできるだけ大きいほうが好ましく、具体的には 2000 以上、より

好ましくは6000以上である。

書込用ビット線6aおよび書込用ワード線6bは、いずれも、チタン(Ti)、窒化チタン(TiN)、アルミニウム(Al)が順に積層された構造を有し、絶縁膜によって、互いに電氣的に絶縁されている。書込用ビット線6aおよび書込ワード線6bは、例えば、アルミニウム(Al)、銅(Cu)およびタングステン(W)のうちの少なくとも1種からなるようにしてもよい。

磁気抵抗効果素子12A、12Bが形成される基板10の上には、エピタキシャル層9が形成され、さらにその上に導電層8および絶縁層7が形成されている。導電層8は、絶縁層7を介して互いに絶縁された導電層8A、8Bからなる。磁気抵抗効果素子12A、12Bは、導電層8および絶縁層7の上面に形成されるが、それぞれ、その形成領域の少なくとも一部が導電層8A、8Bの形成領域と重なるように位置決めされる。よって、磁気抵抗効果素子12Aと磁気抵抗効果素子12Bとは、分離絶縁されている導電層8A、8Bにそれぞれ個別に接合され、互いに電氣的に絶縁されている。すなわち、ここでは、磁気抵抗効果素子12Aと磁気抵抗効果素子12Bが、電氣的に非導通であるように配線がなされている。

また、ここでは、基板10をn型シリコンウエハとする。一般に、n型シリコンウエハにはP(燐)の不純物拡散が施されており、基板10としては、P(燐)の高濃度拡散によりn⁺⁺型となっているものを用いる。これに対し、エピタキシャル層9は、P(燐)が低濃度拡散されてn⁻型となるようにする。また、導電層8には金属を用いる。このとき、n⁻型半導体であるエピタキシャル層9と、金属の導電層8とを接触させると、バンドギャップが生じてショットキーダイオードが形成される。これが、本実施の形態における逆流防止用ダイオード13A、13Bである。

逆流防止用ダイオード13A、13Bをこのようにショットキーダイオードとして形成することには、エピタキシャル層付きのシリコンウエハが入手しやすく低価格であること、形成工程が簡易であること等の利点がある。しかし、ショットキーダイオードは、PN接合ダイオードに比べてリーク電流が数100倍以上も大きく、加えて温度上昇に伴うリーク電流の増加も大きい。この磁気メモリデ

バイスをM R A M半導体メモリチップとし、記憶セル1 2ごとにショットキダイオードを数1 0 0 0個も並列に接続した場合、リーク電流がかなり増大してしまうために読み出し出力のS / N比を下げる原因となることが考えられる。ここでは、逆流防止用ダイオード1 3として、コスト面、製造面で有利なショットキダイオードを採用したが、リーク電流が無視できない場合などには、逆流防止用ダイオード1 3をP N接合ダイオード、ベース・コレクタ間を短絡したB J T、あるいはゲート・ドレイン間を短絡したM O S F E Tで形成することも可能である。

第9図は、記憶セルを回路図で表したものである。このように、1対の磁気抵抗効果素子1 2 A, 1 2 Bは、第1の磁性層1および第2の磁性層3の磁化の相対角度に応じて流れる電流の値が変化することから、可変抵抗とみなされる。すなわち、磁気抵抗効果素子1 2 A (1 2 B)は、流すことのできるトンネル電流の電流密度が高い低抵抗の状態と、電流密度が小さい高抵抗の状態とをとる。

なお、後の動作説明において詳述するが、本実施の形態においては、磁気抵抗効果素子1 2 A, 1 2 Bの一方を低抵抗、他方を高抵抗として情報の記憶を行う。これは、2つの磁気抵抗効果素子1 2 A, 1 2 Bからの出力を差動増幅して読み出すためにほかならない。よって、対をなす2つの磁気抵抗効果素子1 2 A, 1 2 Bは、抵抗値、磁気抵抗変化率、および第2の磁性層3の反転磁界の大きさが等しくなるように製造される必要がある。

〔記憶セルに対する書き込み動作〕

次に、この記憶セル1 2における情報記憶方式と書き込み動作方法について説明する。

第10 A図および第10 B図は、第9図と同様に記憶セルを表したものであり、磁気抵抗効果素子1 2 A, 1 2 Bそれぞれの第1の磁性層1, 第2の磁性層3の磁化を表している。同図において、白色矢印は第1の磁性層1の磁化を表しており、磁気抵抗効果素子1 2 A, 1 2 B共に右方向に磁化が固定されている。一方、黒色矢印は第2の磁性層3の磁化を表し、磁気抵抗効果素子1 2 A, 1 2 Bでは互いに反平行となる向きに磁化されている。このように、記憶セル1 2では、1対の磁気抵抗効果素子1 2 A, 1 2 Bの第2の磁性層3の磁化方向が互いに反平

行となる状態で情報が記憶される。

このとき、1対の磁気抵抗効果素子12A, 12Bにおいては、それぞれの第1の磁性層1と第2の磁性層3の磁化方向の組み合わせは、必ず（平行, 反平行）の第1の状態か、（反平行, 平行）の第2の状態となる。よって、この2つの状態に2値情報「0」, 「1」を対応させることで、1つの記憶セル12に1ビットの情報を記憶させる。なお、磁気抵抗効果素子12A（12B）においては、第1の磁性層1と第2の磁性層3の磁化方向が平行であれば大きなトンネル電流が流れる低抵抗状態となり、反平行であれば小さなトンネル電流しか流れない高抵抗状態となる。つまり、対をなす磁気抵抗効果素子12Aおよび磁気抵抗効果素子12Bは、必ず一方が低抵抗で、他方が高抵抗となって情報を記憶する。

このように、対となる磁気抵抗効果素子12A, 12Bにおいて第2の磁性層3の磁化方向を互いに反平行とするため、第11図に示したように、磁気抵抗効果素子12A, 12Bそれぞれの書込用ビット線6a, 書込用ワード線6bに対し、相対的に逆向きとなるように電流を流す（第8図参照）。第11図には、記憶セル12に対し、第10図に示した「1」ビットを書き込む場合の書き込み電流の向きが示されている。

これにより、磁気抵抗効果素子12A, 12Bそれぞれの環状磁性層5には、互いに逆向きに還流する磁界が誘導され、それぞれの第2の磁性層3との対向面における磁化（つまり誘導磁界の向き）は、互いに反平行となる。磁気抵抗効果素子12A, 12Bそれぞれの第2の磁性層3の磁化は、この外部から与えられる磁界の向きに従って反平行となり、その磁化状態が、環状磁性層5との反強磁性結合により固定される。なお、「0」ビットを書き込むには、磁気抵抗効果素子12A, 12Bそれぞれに流す電流の向きを、図示の向きとは反対に切り替えるようにする。

このとき、誘導磁界は環状磁性層5の内部に閉じ込められることから、第2の磁性層の磁化反転に寄与する実効的な磁界強度は、従来に比して大きくなる。その結果、第2の磁性層3を必要十分な磁界強度で磁化反転させることができ、効率よい書き込み動作を行うことができる。換言すると、この書き込みにおいては、第2の磁性層3の磁化は、所定の方角に対し十分な大きさとなるように揃えられ

る。よって、この第2の磁性層3の磁化方向が外部擾乱磁界により乱されるおそれを低減させ、一旦書き込まれた情報が予期せず消されたり、書き換えられたりすることが防止できる。すなわち、情報を確実に書き込むことができる。

この磁気メモリデバイスでは、まず、アドレスバッファ101が外部データ端子A0～A20の信号電圧を取り込んで内部バッファで増幅し、アドレス線105, 107を通じてY方向、X方向のアドレスデコーダ106A, 108Aに伝達する。それと同時に、データバッファ102が外部データ端子D0～D7の信号電圧を取り込んで内部バッファで増幅し、書き込み用データバス110, 111を通じてY方向、X方向のカレントドライブ106C, 108Cに伝達する(第1図)。

アドレスデコーダ106A, 108Aは、選択信号により、これに対応するデコード値をもつ書込用ビット線6a, 書込用ワード線6bを選択する。また、書込用ビット線6a, 書込用ワード線6bに流す電流の向きは、カレントドライブ106C, 108Cにより決定される。これにより、書込用ビット線6a, 書込用ワード線6bの双方に電流が流れる記憶セル12が一意に選択され、そこに所定のビットデータが書き込まれる。例えば、第8図では、書込用ビット線6a, 書込用ワード線6bの電流の向きが矢印で示され、記憶セル12が選択されている様子が表されている。

〔読み出し動作〕

磁気メモリデバイスは、各記憶セル12に書き込まれた情報を以下のようにして読み出す。

(基本動作)

第12図は、記憶セルの基本構成を示している。まず、同図を参照して、読み出し動作の基本的な部分を説明する。各記憶セル12は、磁気抵抗効果素子12A, 12Bが図示のような磁化方向となって情報が記憶された状態となっている。このうち、情報を読み出す記憶セル12は、そのアドレスに対応して、Y方向はビットデコード線20、X方向はワードデコード線30に選択信号が入力されることで選択される。例えば、選択する記憶セル12が、Y_n列、X_{n+1}行にある場合、Y_n番目のビットデコード線20_nとX_{n+1}番目のワードデコード線30

$n+1$ に信号が入力される。

Y_n 番目のビットデコード線 20_n における電圧レベルを "High" とすると、トランジスタ $22A$, $22B$ が通電状態となり、記憶セル 12 の Y_n 番目の列方向ブロック (ビット列 Y_n) にセンシング電流が流れる。センシング電流は、センスビット線 $21A$, $21B$ を電源 V_{cc} 側からその反対側に向かって流れ下る。

一方、 X_{n+1} 番目のワードデコード線 30_{n+1} における電圧レベルを "High" とすると、トランジスタ 33 が通電状態となり、記憶セル 12 の X_{n+1} 番目の行方向ブロック (ワード列 X_{n+1}) に電流が流れることが許される。よって、センシング電流は、 Y_n 番目のセンスビット線 $21A$, $21B$ のから、それぞれ磁気抵抗効果素子 $12A$ と逆流防止用ダイオード $13A$, 磁気抵抗効果素子 $12B$ と逆流防止用ダイオード $13B$ を通り、共に X_{n+1} 番目のセンスワード線 31 へと流れ込み、さらに、定電流回路 $108B$ を構成するトランジスタ 33 のコレクターエミッタ間を通り、抵抗器 34 から接地へと抜ける。このように、 Y_n 列、 X_{n+1} 行目の記憶セル 12 は、 Y_n 列、 X_{n+1} 行目の磁気抵抗効果素子 $12A$, $12B$ にセンシング電流を流すことにより選択される。

情報の読み出しは、記憶セル 12 の磁気抵抗効果素子 $12A$, $12B$ のそれぞれに流れる電流値の差分を検出することによって行われる。これらに流れる電流は、センスビット線 $21A$, $21B$ を流れるセンシング電流にほぼ等しい。また、センスビット線 $21A$ ($21B$) に対して直列に接続された電流電圧変換用抵抗器 $23A$ ($23B$) には、センシング電流による電圧降下が起きる。その電圧降下 V_a は、センシング電流の大きさを I_{sense} 、電流電圧変換用抵抗器 $23A$ ($23B$) の抵抗値を R_a とすれば、式 1 で決定される。

(式 1)

$$V_a \text{ (Volt)} = I_{sense} \text{ (A)} \times R_a \text{ (}\Omega\text{)}$$

式 1 より、電流電圧変換用抵抗器 $23A$ と電流電圧変換用抵抗器 $23B$ の値が良く揃っていれば、センシング電流 I_{sense} を電圧降下 V_a によって電圧に変換して検出されることがわかる。そこで、ここでは読み出し出力信号として、電流電圧変換用抵抗器 $23A$ と電流電圧変換用抵抗器 $23B$ の電圧降下をそれぞれ入

力線 40A, 40B から取り出し、その差分を検出するようにしている。このように、2つの磁気抵抗効果素子 12A, 12B を用い、それぞれの出力値の差分を取り出すことで、記憶セル 12 としては、雑音が除去された大きな出力値が得られる。

(定電流回路 108B の作用)

以上の読み出し動作において、選択された記憶セル 12 に流れるセンシング電流の大きさは、センスワード線 31 の接地側に設けられた電流制限抵抗器 34 により調整される。電流制限抵抗器 34 は、これ単独で電流量を制限する効果があるが、ここではさらに、電流制限抵抗器 34 とトランジスタ 33, ダイオード 32 を組み合わせて構成された定電流回路 108B が、電流量を一定範囲内に収めるように動作する。

ワードデコード線 30 の電圧レベルが “High” であれば、2個直列に接続されているダイオード 32 は、ダイオードのバンドギャップリファレンスにより、接地から +2Φ だけ高い中間電圧レベルを固定的に作り出す。よって、トランジスタ 34 のベース端子には、中間電圧レベルが印加され、トランジスタ 34 は通電状態となる。このとき、センスワード線 31 から流入するセンシング電流の大きさ I_{sense} は、電流制限抵抗器 34 の抵抗値を R_c とすれば、式 2 で求まる。

(式 2)

$$I_{sense} \text{ (A)} = (2\phi' - \phi'') \text{ (Volt)} / R_c \text{ (}\Omega\text{)}$$

$2\phi'$ は 2 個の直列になったダイオード 32 の順方向電圧、 ϕ'' はトランジスタ 33 のベース-エミッタ間の順方向電圧である。これらは半導体素子固有の値であるから、式 2 は、抵抗値 R_c が決まればセンシング電流 I_{sense} は一定値をとること、抵抗値 R_c をパラメータとしてセンシング電流 I_{sense} は一意に決められることを示している。

すなわち、この定電流回路 108B のおかげで、センスワード線 31 において微弱なセンシング電流 I_{sense} が一定の範囲内の値で安定して流れる。なお、式 2 のセンシング電流 I_{sense} は、センスワード線 31 に流れる電流であり、センスビット線 21A およびセンスビット線 21B、もしくは磁気抵抗効果素子 12A および磁気抵抗効果素子 12B の双方を流れる電流の総和のことである。

一例として、電流制限抵抗器 34 を $50\text{ k}\Omega$ とし、ダイオード 32, トランジスタ 33 にシリコンダイオードおよびシリコントランジスタを使用した場合、定電流回路 108B によるセンシング電流 I_{sense} は、ほぼ $15\text{ }\mu\text{A}$ になる。この場合、製造上の原因により、対をなす磁気抵抗効果素子 12A, 12B それぞれが駆動動作上取り得る抵抗値の範囲が異なっていたとしても、両者を流れる電流の総和は、常にほぼ $15\text{ }\mu\text{A}$ に等しくなる。なお、製造上の原因による磁気抵抗効果素子 12A (12B) の抵抗値のばらつきとは、非磁性層 2 が、数 nm (数 $10\text{ }\text{\AA}$) という数原子単位の厚みしか持たないために、厚みと原子配列のわずかな乱れで抵抗値が変わることを意味している。それゆえ、非磁性層 2 を均一な厚みで成膜することには細心の注意が払われるが、現実には磁気抵抗効果素子 12A (12B) の抵抗値において $15\sim 50\%$ 程度、製造設備等の条件が悪いときにはそれ以上のばらつきが生じてしまう。

磁気抵抗効果素子 12A, 12B の抵抗値のばらつきには、要因ごとに 2 つの場合が考えられる。① 1 つ目は、記憶セル 12 同士の間で、非磁性層 2 の厚みのばらつき等により、磁気抵抗効果素子 12A, 12B の低抵抗時および高抵抗時の抵抗値が異なる場合である。総じて非磁性層 2 の厚みが増せば、1 対の磁気抵抗効果素子 12A, 12B の抵抗は低抵抗時、高抵抗時とも大きな値をとるようになる。② 2 つ目は、各記憶セル 12 で対をなしている磁気抵抗効果素子 12A, 12B の間で、接合界面の凹凸や非磁性層 2 の厚みの違い、その他の原因により、大きなトンネル電流が流れるときの抵抗値と小さなトンネル電流しか流れないときの抵抗値との比率、すなわち MR 比がばらつく場合である。

ここで、①記憶セル 12 の間で、磁気抵抗効果素子 12A, 12B の抵抗値がばらついていたとする。センスビット線 21A, 21B を流れる各電流値は、それぞれ 1 対の磁気抵抗効果素子 12A, 12B の抵抗値に応じた値ではあるものの、その総和は常に一定値をとるように制御されている。言い換えると、センスビット線 21A, 21B を流れる各電流値は、ある規格化された電流量を抵抗比に応じて分配したものである。そのため、抵抗値のばらつき度合いに比べて、各電流値のぶれは少なくなる。殊に、記憶セル 12 の間における抵抗のばらつきが各々の MR 比を変えないような場合には、1 対の磁気抵抗効果素子 12A, 12

Bの抵抗比が等しいことから、記憶セル12ごとの抵抗値の大小には関係なく（かなり大きく異なっていたとしても）、センスビット線21A、21Bの各電流値はほぼ等しくなる。こうして、センスビット線21A、21Bの電流値の差は、常に一定の範囲内に収められる。そのため、電流電圧変換用抵抗器23A、23Bの電圧降下の差も一定の範囲内に収められ、安定した差動出力を得ることが可能となり、読み出し信号のS/N比を向上させることができる。

一方、上記の説明からもわかるように、②磁気抵抗効果素子12A対磁気抵抗効果素子12BのMR比のばらつき、特にMR比の低下は、差動出力を得る場合には致命的であり、出力信号のS/N比を極端に落としてしまう。しかし、ここでは、定電流回路108Bを設けているため、センスビット線21A、21Bの各々における電流のぶれは、総電流値に応じて押さえ込まれる。これにより、電流電圧変換用抵抗器23A、23Bの電圧降下の変動はばも一定に抑えられ、センスアンプ106Bの入力におけるオフセット電圧のばらつきを軽減することが可能である。よって、この場合にも、読み出しの出力信号のS/N比を改善することができる。

（逆流防止用ダイオードの作用）

また、以上の読み出し動作において、各磁気抵抗効果素子12A、12Bのセンスワード線31の側の電流経路上に設けられている逆流防止用ダイオード13A、13Bは、電流がセンスワード線31から磁気抵抗効果素子12A、12Bへと逆流することを防止している。

ここでは、ビット列 Y_n 、ワード列 X_n の各磁気抵抗効果素子12A、12Bが、共通のセンスビット線21A、21B、共通のセンスワード線31に接続されているため、センシング電流の一部は正規の経路を外れ、読み出し対象ではない磁気抵抗効果素子12A、12Bを介して別の経路に流出してしまい、そのまま接地へ流れ落ちたり、再び正規の経路上に回り込んだりするおそれがある。それでもこうした配線構造をとるのは、記憶セル12の選択スイッチをビット方向、ワード方向とも列ごとに単一のスイッチで共用させ、配線を簡素化するためでもあるが、ここでは、列ごとに定電流回路108Bを共用させるためである。

こうした正規の経路から外れて回路内を流れる電流成分、特に回り込み成分は、

磁気抵抗効果素子 1 2 A (1 2 B) を逆流する経路上に発生する。しかしながら、ここでは、一方向素子である逆流防止用ダイオード 1 3 A, 1 3 B により、その経路が遮断される。

第 1 3 図は、本実施の形態に対する比較例として、逆流防止用ダイオード 1 3 A, 1 3 B が磁気抵抗効果素子 1 2 A, 1 2 B の電流経路上にない場合の漏れ電流の経路 (i) と、回り込みの経路 (ii), (iii) とを示したものである。同図においては、ビット列 Y_n , ワード列 X_{n+1} の記憶セル 1 2 が、いままさに情報が読み出されるセルである。すなわち、実線で示したのが正規の電流経路である。

これに対し、センシング電流の一部は、例えば経路 (i) のように、センスワード線 3 1 からワード列方向に隣接する磁気抵抗効果素子 1 2 A, 1 2 B に逆流し、さらにセンスビット線 2 0 $n+1$ へ流れる。なお、同様の漏れは、同じセンスワード線 3 1 に共通に接続されている多数の磁気抵抗効果素子 1 2 A, 1 2 B (図示せず) に対しても生じる。

また、例えば経路 (ii) のように、記憶セル 1 2 の低抵抗側の磁気抵抗効果素子 1 2 A (1 2 B) を廻って回り込む経路が存在する。同図では、すべての記憶セル 1 2 において磁気抵抗効果素子 1 2 A の方を低抵抗側として経路を図示している。この場合、センスビット線 2 1 A をさらに下り、ビット列方向に隣接し、低抵抗である磁気抵抗効果素子 1 2 A を通り、センスワード線 3 1 を介してさらにワード列方向に隣接する記憶セル 1 2 の低抵抗側の磁気抵抗効果素子 1 2 A に逆流する。その後、正規の経路とは異なるセンスビット線 2 1 A を、選択されたセンスワード線 3 1 に接続されている磁気抵抗効果素子 1 2 A (図ではビット列方向に隣接している) まで上がり、この低抵抗の磁気抵抗効果素子 1 2 A に流入し、ついには選択されたセンスワード線 3 1 に流れ込む。同様の回り込みは、同じセンスビット線 2 1 A に接続された多数の磁気抵抗効果素子 1 2 A (図示せず)、それらの磁気抵抗効果素子 1 2 A と接続されたセンスワード線 3 1 を同じくする多数の磁気抵抗効果素子 1 2 A, 1 2 B (図示せず) に対しても生じる。磁気抵抗効果素子 1 2 B が低抵抗である場合にも、また同様にして回り込みが発生する。

もう一つの回り込みの例としては、経路 (iii) がある。この場合、同じセン

スピット線 2 1 A に接続されている磁気抵抗効果素子 1 2 A (低抵抗側) から磁気抵抗効果素子 1 2 B (高抵抗側) へと、磁気抵抗効果素子 1 2 A または磁気抵抗効果素子 1 2 B の一方を逆流することによって、ひとつの記憶セル 1 2 を通過する。さらに、反対側のセンスピット線 2 1 B を上がり、読み出し対象の記憶セル 1 2 の磁気抵抗効果素子 1 2 B から正規の経路へ回り込む。

こうした経路 (i) ~ (iii) はすべて、本実施の形態のように、各磁気抵抗効果素子 1 2 A, 1 2 B の電流経路上に逆流防止用ダイオード 1 3 A, 1 3 B を設けることによって遮断することができる。このようにして、磁気抵抗効果素子 1 2 A, 1 2 B を介して電流が漏れたり、回り込んだりすることで生じるセンシング電流の変動すなわち信号に対する雑音を低減することができる。なお、各記憶セル 1 2 の磁気抵抗効果素子 1 2 A, 1 2 B の電流経路を 1 つのダイオードに接続させるようにした場合にも、経路 (i), (ii) を遮断することが可能であり、電流の漏れや回り込みに一定の効果が期待される。ただし、経路 (iii) を遮断するためには、本実施の形態のように記憶セル 1 2 の中で磁気抵抗効果素子 1 2 A, 1 2 B は非導通とされ、互いに独立して逆流防止が施される必要がある。

(逆流防止用ダイオードの変形例)

本実施の形態の逆流防止用ダイオード 1 3 A, 1 3 B は、同じく整流作用を有する素子であるトランジスタに置き換えることが可能である。第 1 4 図に、そのような変形例として、磁気抵抗効果素子 1 2 A, 1 2 B とセンスワード線 3 1 との間に逆流防止用トランジスタ 6 3 A, 6 3 B を設けた場合を図示している。この逆流防止用トランジスタ 6 3 A, 6 3 B は、ベース端子をビットデコード線 2 0 またはワードデコード線 3 0 に接続すると、センスピット線 2 1 A, 2 1 B もしくはセンスワード線 3 1 に連動して導通させることができる。なお、そうした場合、トランジスタ 2 2 A, 2 2 B はなくともよい。こうした逆流防止用トランジスタ 6 3 A, 6 3 B も同様に一方向素子として機能する。

逆流防止用トランジスタ 6 3 A, 6 3 B を用いることの利点は、導通時の電圧が、ダイオードの順方向電圧に比べてかなり低いことが挙げられる。トランジスタの導通時のコレクター-エミッタ間電圧は非常に低い (およそ 0.2 V 程度) が、ダイオードは順方向電圧としてバンドギャップ Φ (0.65 V ~ 0.75 V)

の電圧がかかる。本実施の形態の読み出し回路では、電流経路が電源 V_{cc} から接地に向けて直列に、電流電圧変換用抵抗器 23A (23B)、トランジスタ 22A (22B)、磁気抵抗効果素子 12A (12B)、逆流防止用ダイオード 13A (13B)、トランジスタ 33、電流制限抵抗器 34 の 5 段構成になっている。そのため、電圧配分を考慮する必要があるが、逆流防止用トランジスタ 63A, 63B は、逆流防止用ダイオード 13A, 13B に比べ、0.5V 程度も低い電源電圧でも動作させることができる。また、この電圧の余剰分を振り分けるようにして、回路を 5 段から数段上げ、さらに複雑な制御操作を行うことまでも可能となる。

また、逆流防止用ダイオード 13A, 13B は、第 15 図に示したように、逆流防止用 MOSFET 73A, 73B に置き換えることも可能である。この場合、導通時のドレインソース間電圧は 0.1V 程度とかなり低く、その作用効果は、逆流防止用トランジスタ 63A, 63B とほぼ同様である。

なお、これらの整流素子は、第 16 図～第 18 図に示したように、センスビット線 21A, 21B と磁気抵抗効果素子 12A, 12B それぞれの間に設けられていてもよい。

(センスアンプより後段の信号出力動作)

さらに、入力線 40A, 40B から取り出す電位差をセンスアンプ 106B により差動増幅することにより (第 2 図)、値が一層大きく、かつ S/N の良い出力が得られる。出力線 51A, 51B には、各ビット方向単位読出回路 80 (\dots , $80n$, $80n+1$, \dots) の多数のセンスアンプ 106B がコレクタ側でカスケード接続されているが、複数あるビットデコード線 20 の 1 つが選択されると同時にトランジスタ 44 が導通することによって、対応する 1 つのセンスアンプ 106B がアクティブとなり、そのコレクタ出力だけが出力線 51A, 51B に送出される。

なお、ここでは、バイアス抵抗器 42A, 42B が共用されているので、電源 (V_{cc}) から各センスアンプ 106B に供給される電流の経路が統一される。これは、センスアンプ 106B ごとのトランジスタ 41A, 41B に流れる電流量の均一化に寄与し、出力値に対するオフセット量を安定化するように作用する。

また、トランジスタ 22 A, 22 B、電流電圧変換用抵抗器 23 A, 23 B およびセンスアンプ 106 B は、記憶セル 12 と同じ幅 W の領域内に集積配置されているため、これらのうち差動対をなす素子同士は、動作中の温度変化もほぼ等しくなる。これにより、温度変化によって生じる出力値の変動が抑えられる。

センスアンプ 106 B の出力は、出力線 51 A, 51 B、読み出し用データバス 112 を経由して、最終的には出力バッファ 102 B に入力される。出力バッファ 102 B は、入力された信号電圧を、増幅すると共に 2 値の電圧信号として外部データ端子 D0 ~ D7 から出力する。

このように本実施の形態においては、磁気抵抗効果素子 12 A, 12 B は環状磁性層 5 を備えたものとしたので、効率よく書き込みを行うことができると同時に、第 2 の磁性層 3 の磁化方向を十分に揃えて情報を確実に書き込むことができる。翻って情報を読み出す場合、このように第 2 の磁性層 3 の磁化が所定方向に十分揃った状態であれば、第 1 の磁性層 1 との相対的な磁化方向によって、磁気抵抗効果素子 12 A (12 B) におけるトンネル電流値もはっきりと大小の 2 値状態を示すことになり、S/N 比の高い出力値が得られる。

これに加え、ここでは、記憶セル 12 を 1 対の磁気抵抗効果素子 12 A, 12 B で構成し、双方に流れる電流を差動出力するようにしたので、センスビット線 21 A, 21 B に結合した雑音が除去される。そのうえで、センスワード線 31 の接地側に定電流回路 108 B を設け、読み出し回路に流れるセンシング電流の総和が一定に保たれるようにしたので、記憶セル 12 ごとの特性のばらつきに対し、センスビット線 21 A, 21 B の電流値の差は、常に一定の範囲内に収められる。このように総電流値を一定値に規格化することは、1 対の磁気抵抗効果素子 12 A, 12 B の相互間の抵抗のばらつきに対しても、センスビット線 21 A, 21 B の各電流値の変動を押さえ込む効果を有している。よって、安定した差動出力を得ることが可能となり、読み出し信号の S/N 比を向上させることができる。なお、定電流回路 108 B のトランジスタ 33 は、ワードデコード線 30 の半導体スイッチとしても機能するようにしたので、比較的平易に製造でき、回路設計上も有利である。

また、各磁気抵抗効果素子 12 A, 12 B とセンスワード線 31 との間に、一

方向素子として逆流防止用ダイオード 13 A, 13 B を設けるようにしたので、センスワード線 31 から磁気抵抗効果素子 12 A, 12 B へ電流が逆流することが防止される。これにより、共通のセンスビット線 21 A, 21 B または共通のセンスワード線 31 に接続された記憶セル 12 の間、および、1 つの記憶セル 12 の中の磁気抵抗効果素子 12 A と磁気抵抗効果素子 12 B の間に電流経路ができることが防止され、センシング電流の漏れや回り込みが遮断されるために、雑音を低減することができる。

さらに、本実施の形態では、センスアンプ 106 B が出力線 51 A, 51 B に対しカスケード接続され、バイアス抵抗器 42 A, 42 B を共用するようにしたので、トランジスタ 41 A, 41 B に流れる電流量が均一化され、センスアンプ 106 B ごとの出力値に対するオフセット量を一定とすることができる。また、抵抗部品点数が低減されることで、漏れ電流（回路構成上、動作対象以外の部分にも定常的に流れる電流）による消費電力を低減することができる。さらに、この部品削減と、各センスアンプ 106 B の出力線が一对の出力線 51 A, 51 B に統一されたことにより、回路の省スペース化が図られる。

加えて、センスアンプ 106 B の回路エリアに、トランジスタ 22 A, 22 B、および電流電圧変換用抵抗器 23 A, 23 B をセンスアンプ 106 B と共に集積配置するようにしたので、センスアンプ 106 B と共に差動増幅回路を構成し、対をなす回路素子が、互いに近接した位置に形成される。よって、これらの回路素子は、同様の温度条件で駆動されることから、温度変化による特性ばらつきが抑制され、この差動増幅回路における雑音を防止することができる。

以上のように、本実施の形態の磁気メモリデバイスにおける読み出し回路では、記憶セル 12 ごとの特性のばらつきによる雑音、1 対の磁気抵抗効果素子 12 A, 12 B の相互間の抵抗のばらつきによる雑音を低減させると共に、データ線に結合した雑音、センスアンプ 106 B ならびにその他の差動対の特性ばらつきによる雑音、電源回路から回り込む周辺回路の雑音を抑えるようにしたので、読み出し信号出力の S/N 比を大きく向上、改善することができる。よって、この磁気メモリデバイスは、読み取り誤差の少ない安定した動作を行うことが可能である。また、S/N 比向上により、大きな信号出力値を得ることができることから、記

憶セル 1 2 を高集積化する場合にも十分な出力を得ることが可能であり、その一方で、低電流、低電圧の駆動を実現することも可能である。

なお、一般に、磁気メモリデバイスでは、極薄のトンネルバリア層が絶縁破壊されるのを防ぐため、磁気記憶素子にトンネル電流を流すときには素子にかかる電圧を適切な値とする必要がある。本実施の形態の磁気メモリデバイスは、定電流回路 1 0 8 B を備えることによって、トンネル電流を小さくし、トンネルバリア層 2 にかかる電圧をその電氣的耐圧よりも十分に低い電圧まで下げて駆動することができる。また、本実施の形態の読み出し回路は、電流経路が電源 V_{cc} から接地に向けて直列に、電流電圧変換用抵抗器 2 3 A (2 3 B)、トランジスタ 2 2 A (2 2 B)、磁気抵抗効果素子 1 2 A (1 2 B)、逆流防止用ダイオード 1 3 A (1 3 B)、トランジスタ 3 3、電流制限抵抗器 3 4 の 5 段構成になっている。その電圧分圧の関係から、これらの磁気抵抗効果素子 1 2 A (1 2 B) における電圧降下を現実的に 0.1 V ~ 0.3 V 程度と低く抑えることができる。無論、こうした場合に磁気記録素子 1 2 A, 1 2 B から直接的に得られる電圧出力 (電流電圧変換抵抗 2 3 A, 2 3 B における電圧降下) は微弱なものであるが、センシング電流を定電流とした効果により S/N 比は高い。ここでは、この出力をさらに数段の差動増幅回路で増幅させて最終出力とするため、十分な読み出し感度を得ることができる。すなわち、この磁気メモリデバイスは、従来に比べ極めて微弱なトンネル電流で駆動させ、磁気抵抗効果素子 1 2 A, 1 2 B の絶縁破壊を防止すると同時に、値が十分に大きく、かつ良好な S/N 比の信号出力を得ることが可能である。

[第 2 の実施の形態]

第 1 9 図は、第 2 の実施の形態に係るセンスアンプの構成を示す図である。ここでは、第 1 の実施の形態のダイオード 4 3, トランジスタ 4 4, 抵抗器 4 5 からなる回路部分を、定電流回路 5 0 としてひとまとめにし、各センスアンプ 1 0 6 B によって共用されるようにしている。なお、本実施の形態では、第 1 の実施の形態と同様の構成要素については同一の符号を付すものとし、その説明を適宜省略する。

各センスアンプ 1 0 6 B では、トランジスタ 4 1 A, 4 1 B がスイッチ 4 6

(\dots , $46n$, $46n+1$, \dots) を介して 1 つの定電流回路 50 に共通に接続されている。すなわち、スイッチ 46 によってセンスアンプ 106B が 1 つ選択され、定電流回路 50 は選択されたセンスアンプ 106B の一部として動作するようになっている。

ここで、スイッチ 46 (\dots , $46n$, $46n+1$, \dots) のそれぞれには、対応するビットデコード線 20 (\dots , $20n$, $20n+1$, \dots) とリード選択信号線 90 とが接続されている。リード選択信号線 90 からは、この磁気メモリデバイスが読み出し動作と書き込み動作のいずれを行うかを選択するための読出／書込信号が送出され、スイッチ 46 は、ビットデコード値と、読出／書込信号の両方に応じて開閉動作するようになっている。例えば、読出／書込信号は、制御ロジック部 103 に入力される、磁気メモリデバイスをアクティブにするか否かを制御するチップセレクト信号 (CS) と、読み出し／書き込みを切り換えるための書き込み許可信号 (WE) との論理和をとったものであり、リード選択信号線 90 は、制御ロジック部 103 からセンスアンプ 106B に引き出されている (第 1 図参照)。

すなわち、スイッチ 46 の開閉動作によって、読み出し回路系は、読み出し動作を指示された場合にのみ情報の読み出しを行い、さらに、情報を読み出す場合には、選択されたビット列 Y_n に対応するセンスアンプ 106B が動作対象に選ばれるようになっている。

スイッチ 46 は、例えば、次のように構成されている。第 20 図は、その構成を表したものであり、第 21 図は、入力信号に対応したスイッチの動作状態を示している。スイッチ 46 は、ベース端子にリード選択信号線 90 が接続されたトランジスタ 461 と、ベース端子にビットデコード線 20 に接続されたトランジスタ 462 とから構成されている。このうち、トランジスタ 462 のコレクターエミッタ間が、トランジスタ 41A, 41B のエミッタ端子と定電流回路 50 におけるトランジスタ 48 との間に接続されている。さらに、トランジスタ 461 のコレクタ端子は電源 (V_{cc}) に接続され、そのエミッタ端子は、トランジスタ 462 のエミッタ側に接続されている。このスイッチでは、トランジスタ 461 のベース入力電圧が “High” のときの電圧値 V_1 (読出／書込選択信号の電

圧値)、トランジスタ462のベース入力電圧が“High”のときの電圧値 V_2 (ビットデコード値の電圧値)とが、 $V_1 - V_2 > 0.3$ (Volt)の関係にあるように設定される必要がある。これらの電圧値の調整は、ここではスイッチ46の前段で行われているものとし、詳細については説明の簡便のために省略する。

このスイッチ46では、トランジスタ461のベース電圧が“Low”のときは、トランジスタ461は遮断状態となることから、トランジスタ462の動作、つまりトランジスタ462に入力される信号値に応じてスイッチ46としての導通/遮断が決まる。

一方、トランジスタ461のベース端子に“High”が入力されるときは、導通したトランジスタ461の動作が支配的となり、トランジスタ462のコレクターエミッタ間には、入力信号の如何に関わらず電流は流れないようにしている。つまり、この場合には、スイッチ46としては遮断状態となる。トランジスタ461が導通すると、そこにはトランジスタ462に流す電流よりも大きな電流が流れる(例えば $V_1 - V_2 > 0.3$ (Volt))。また、電源(V_{cc})から各トランジスタ461、462までの経路をたどると、トランジスタ461側はトランジスタ462側に比べて圧倒的に抵抗値が高いことがわかる。したがって、トランジスタ462に“High”が入力されたとしても、電源(V_{cc})から供給される電流はトランジスタ462ではなく、トランジスタ461に流れる。また、その場合に、接続点Pの電位(トランジスタ461、462の共通のエミッタ電圧)は V_1 よりトランジスタ461のベースエミッタ間の順方向電圧を引いた値となり、その結果、トランジスタ462のベースエミッタ間に掛かる電圧は、トランジスタ462のベースエミッタ間の順方向電圧より0.3V低くなり、トランジスタ462は電流が流れ難くなっている。

このように、スイッチ46は、トランジスタ461に“Low”が、トランジスタ462に“High”が入力されるときにのみ、導通する。したがって、この場合の読出/書込信号は、読み出しを指示するときは“Low”、書き込みを指示するときには“High”に設定される。なお、ここでのスイッチ46は、センスアンプ106Bにおけるトランジスタ41A、41Bと定電流回路50と

の間を導通／遮断させるためのものであって、定電流回路 50 自体の動作を制限しないようになっている。

定電流回路 50 は、ダイオード 47、トランジスタ 48、抵抗器 49 によって構成され、ダイオード 47 のバンドギャップリファレンスを利用して一定電流を作り出すようになっている。この定電流回路 50 は、第 1 の実施の形態において説明した定電流回路 108 B と同様に作用し、トランジスタ 41 A、41 B の双方を流れる電流量の総和を規定するようになっている。すなわち、センスアンプ 106 B の差動出力値を一定の範囲内に抑えるように働く。また、このうちトランジスタ 48 は、ベース端子が定電流回路制御端子 91 に接続されたスイッチとしても機能するようになっている。

定電流回路制御端子 91 は、トランジスタ 48 を遮断状態にし得る電圧レベルの制御信号が入力されるようになっており、制御信号に応じて、定電流回路 50 を共用するセンスアンプ回路 106 B のすべてをアクティブ状態か、スタンバイ状態かのどちらかの状態に制御することができる。

第 1 の実施の形態では、ダイオード 43、トランジスタ 44 および抵抗器 45 からなる回路部分が定電流機能を有し、トランジスタ 44 はビットデコード値に応じて開閉することにより、個々のセンスアンプ 106 B をアクティブにするか否かが制御されている。これに対し、本実施の形態では、定電流機能を定電流回路 50 が担い、ビットデコード値に応じてセンスアンプ 106 B を選択するための開閉動作をスイッチ 46 が担うようになっている。なお、ここでは、スイッチ 46 が本発明の「第 1 のスイッチ」に対応しており、トランジスタ 22 A、22 B が本発明の「一対の第 2 のスイッチ」に対応している。

このようなセンスアンプ 106 B は、次のように動作する。

まず、読出／書込信号が、リード選択信号線 90 に入力される。この信号電圧値が“H i g h”ならば書き込み動作が指示されており、スイッチ 46 は導通しない。この信号値が“L o w”ならば読み出し動作が指示されており、スイッチ 46 の各々は、入力されるビットデコード値によって開閉する。

これらの各動作とほぼ同時に、記憶セル 12 のアドレスに対応するビットデコード線 20 とワードデコード線 30 とが選択される。これにより、トランジスタ

2 2 A, 2 2 B、およびトランジスタ 3 3 が通電状態となり、センスビット線 2 1 A, 2 1 B から読出対象の磁気抵抗効果素子 1 2 A, 1 2 B を通り、センスワード線 3 1 へとセンシング電流が流れる。その一方、複数並列したセンスアンプ 1 0 6 B では、このビットデコード線 2 0 からのビットデコード値が 1 つのスイッチ 4 6 に入力される。

これにより、選択ブロックにおける 1 つのスイッチ 4 6 だけが選択的に導通し、選択されたスイッチ 4 6 に対応するトランジスタ 4 1 A, 4 1 B と定電流回路 5 0 との間が導通し、対応するセンスアンプ 1 0 6 B が動作可能となる。すなわち、ビットデコード値で選択されたビット列に対応するセンスアンプ 1 0 6 B のみが、しかも読出／書込信号によって読み出し動作が指示された場合にだけ、選択的にアクティブ化される。このようにして選択されたセンスアンプ 1 0 6 B は、入力線 4 0 A, 4 0 B から取り出す電位差を差動増幅して出力線 5 1 A, 5 1 B に送出する。このとき、各センスアンプ 1 0 6 B は、同一の定電流回路 5 0 を構成要素とするために、ビット列毎にあるセンスアンプ 1 0 6 B 間における出力値のばらつきが抑制される。

このように本実施の形態においては、複数並列するセンスアンプ 1 0 6 B が、1 つの定電流回路 5 0 を共用するようにしたので、部品点数を大幅に削減することができる。定電流回路 5 0 はトランジスタ 4 8 のベース端子に “High” の電圧が印加されれば、ビットデコード値で選択されたセンスアンプ 1 0 6 B はアクティブ状態となり、電力を消費する。そのため、定電流回路の共用は従来の複数ある定電流回路で生じる不要な電力消費を削減することができる。さらに、電源 (Vcc) から接地に流れ落ちる電流の経路は、読み出し時にのみ形成され、また、常に読出対象であるセンスアンプ 1 0 6 B を通る 1 本の経路だけに絞られることから、読み出し動作をする回路部分以外での不要な電力消費を削減することができる。また、各センスアンプ 1 0 6 B が同じ定電流回路 5 0 を共用することで、そのブロック内での特性ばらつきが解消され、各センスアンプ 1 0 6 B に流れる電流の総量が統一される。よって、トランジスタ 4 1 A, 4 1 B における電流増幅率のセンスアンプ 1 0 6 B ごとくの変動が抑えることができ、センスアンプ出力を常に一定値とすることに寄与できる。

また、トランジスタ 41A, 41B の 1 つを定電流回路 50 に接続させるためにスイッチ 46 を設け、このスイッチ 46 を、ビットデコード値だけでなく読出／書込信号との論理和をとって動作するように構成したので、読み出し回路系は読み出し指令がある場合にのみ動作可能となり、さらに選択されたビット列 Y_n に対応する回路系だけが動作する。このように、スイッチ 46 に読出／書込信号を入力することにより、読み出し回路系全体を読出／書込信号に応じて動作させることができる。

また、トランジスタ 48 のベース端子に定電流回路制御端子 91 を接続し、制御信号を入力するようにすれば、トランジスタ 48 の開閉動作により、定電流回路 50 を共用するセンスアンプ 106B のすべての状態を一度に制御することができる。例えば、トランジスタ 48 が遮断されると、定電流回路 50 における電流消費が削減され、消費電力低減に寄与することができる。

以上のように、本実施の形態の読み出し回路系は、読出／書込信号、ビットデコード値、さらには定電流回路制御端子 91 の制御信号を含む 3 制御指令で動作する構成としたので、これら 3 つの制御信号がもつ条件をすべて満足しないと動作可能とならない。したがって、必要な回路以外は極力スタンバイ状態とされ、漏れ電流による電力消費を大幅に削減することができる。

(スイッチ 46 の変形例)

第 22 図は、上記第 2 の実施の形態の変形例に係るスイッチの構成を示すものである。第 2 の実施の形態では、各センスアンプ 106B に対応してスイッチ 46 がそれぞれ設けられていたが、この変形例では、各スイッチ 46 の機能を 1 つのスイッチにまとめるようにしている。リード選択信号線 90 に接続されたトランジスタ 461 は、1 つだけ設けられているが、それぞれがビットデコード線 2_0 (\dots , 2_{0n} , 2_{0n+1} , \dots) に接続されたトランジスタ 462 (\dots , 462_n , 462_{n+1} , \dots) は、各センスアンプ 106B に対応して複数設けられている。これらのトランジスタ 461, 462 は、エミッタ側がすべて共通接続されて並列するように構成されており、複数のトランジスタ 462 (\dots , 462_n , 462_{n+1} , \dots) がトランジスタ 461 を共用するようになっている。

その動作は、スイッチ 46 と同様である（第 21 図参照）。トランジスタ 46

1に“Low”（読み出し指令）が入力され、トランジスタ462（…，462_n，462_{n+1}，…）のいずれかにビットデコード値が入力されると、選択されたトランジスタ462が導通する。例えば、ビットデコード線20_nよりビットデコード値Y_nが入力されると、トランジスタ462_nのみが導通し、ビット列Y_nに対応するセンスアンプ106Bがアクティブ化される。トランジスタ461に“High”（書き込み指令）が入力されたときには、トランジスタ462のいずれも、ビットデコード値が入力されたとしても遮断されたままとなる。

〔センスアンプによる増幅度の検証〕

上記第1の実施の形態と同様の実回路（第2図参照）において、情報の読み出し中に、各測定点における電流値を電流プローブを用いて測定した。測定点は、第23図に示したP1～P9の9点である。

すなわち、

測定点P1 … トランジスタ22Aのコレクタ端子

測定点P2 … トランジスタ22Bのコレクタ端子

測定点P3 … トランジスタ22Aのベース端子

測定点P4 … トランジスタ22Bのベース端子

測定点P5 … トランジスタ41Aのコレクタ端子

測定点P6 … トランジスタ41Bのコレクタ端子

測定点P7 … トランジスタ41Aのベース端子

測定点P8 … トランジスタ41Bのベース端子

測定点P9 … トランジスタ44のコレクタ端子

である。これらの電流値を、ビットデコード線20に印加するビットデコード電圧の値を変化させて測定した。

第24図は、測定点P1～P4の測定結果を示している。実回路では、磁気抵抗効果素子12Aに接続される側でセンスビット線21Aに流れる電流は、トランジスタ22Aのエミッタ電流、つまりトランジスタ22Aのコレクタ電流とベース電流の総和となる。測定結果からは、測定点P1のコレクタ電流が、測定点

P 3 のベース電流を無視できる程度に大きいことがわかる。よって、トランジスタ 2 2 A のコレクタ端とエミッタ端では流れる電流はほぼ等しいことがわかる。また、トランジスタ 2 2 B に対する測定点 P 2 のコレクタ電流と、測定点 P 4 のベース電流との関係も同様であり、トランジスタ 2 2 B のコレクタ端とエミッタ端では流れる電流はほぼ等しいことがわかる。

第 2 5 図は、測定点 P 1 ~ P 9 の測定結果を示している（第 2 0 図とは縦軸の電流値のスケールが異なる）。電流電圧変換用抵抗器 2 3 A, 2 3 B に流れる電流は分岐して、それぞれ、ビット列選択用スイッチであるトランジスタ 2 2 A, 2 2 B のコレクタ端子と、センスアンプ 1 0 6 B の差動対であるトランジスタ 4 1 A, 4 1 B のベース端子とに流れ込む。さらに、トランジスタ 4 1 A, 4 1 B のコレクタ電流、ベース電流の総和がそれぞれのエミッタ電流となるが、そのエミッタ電流は、共通の配線で合流してトランジスタ 4 4 のコレクタ端子に流れ込む。

トランジスタ 4 1 A, 4 1 B のコレクタ電流は、各ベース電流（測定点 P 7, P 8 の電流）が増幅されて得られたものである。測定結果からは、測定点 P 5 のトランジスタ 4 1 A のコレクタ電流と、測定点 P 6 のトランジスタ 4 1 B のコレクタ電流の差分が、元の出力であるセンスビット線 2 1 A, 2 1 B の電流差に比べて極めて大きいことがわかる。その電流差の比率は、図示の測定データの場合およそ 2 0 0 倍にも及ぶ。したがって、この磁気メモリデバイスでは、読み出し信号をこのようなセンスアンプ 1 0 6 B で増幅することで、非常に大きな出力が得られることがわかる。

なお、測定結果からは、測定点 P 7, P 8 におけるトランジスタ 4 1 A, 4 1 B のベース電流も非常に小さいことがわかり、電流電圧変換用抵抗器 2 3 A, 2 3 B に流れる電流は、トランジスタ 2 2 A, 2 2 B のコレクタ端子に流れ込む電流とほぼ等しいといえる。よって、この読み出し回路において、センスアンプ 1 0 6 B は磁気抵抗効果素子 1 2 A, 1 2 B の電流変化を忠実に増幅していることが確認できた。

〔定電流回路の効果の検証〕

次に、実施の形態と同様の実回路において、磁気抵抗効果素子 1 2 A (1 2

B) の抵抗ばらつきに対する読み出し信号（電圧）の変動を、2通りの場合に分けて調べた。

（記憶セル間の抵抗ばらつきに対する効果）

まず、各磁気抵抗効果素子 1 2 A, 1 2 B の低抵抗時の抵抗値 (R_L) , 高抵抗時の抵抗値 (R_H) が、記憶セル 1 2 間で異なる場合について調べた。すなわち、それぞれ抵抗値 R_L , R_H が異なる記憶セル 1 2 からの読み出し電圧の出力値を測定した。ここで、記憶セル 1 2 ごとの抵抗値は、最大値と最小値で 10 倍近く変化させたが、各記憶セル 1 2 における MR 比 (R_L / R_H) は 25% 固定とした。

第 26 図は、その測定結果を表したものであり、横軸は磁気抵抗効果素子の抵抗値 R_{THR1} 、縦軸は電源電圧 V_{cc} で規格化した出力電圧値を示している。同図において、白丸が高抵抗時の抵抗値 R_H をとった方の磁気抵抗効果素子 1 2 A (1 2 B) からの出力電圧値を、×印が低抵抗時の抵抗値 R_L をとった方の磁気抵抗効果素子 1 2 B (1 2 A) からの出力電圧値をそれぞれ表している。また、測定値は実線で結ばれており、点線で示したのは、電流を一对の磁気記憶素子に流し、その磁気記憶素子の電圧降下を直接的にセンスする構成の比較例における結果である。

図示した結果からは、実施の形態の読み出し回路では、記憶セル 1 2 ごとの抵抗値がこれほど大きく異なっても、抵抗値 R_L の側からの出力電圧、および抵抗値 R_H の側からの出力電圧は、それぞれほぼ一定値をとることが明らかである。よって、両者の差分である最終出力電圧も、記憶セル 1 2 ごとの抵抗値ばらつきによらず常に一定であることが確認できた。これは、実施の形態において説明したように、定電流回路 108 B を設け、抵抗値 R_L , R_H をとる磁気抵抗効果素子 1 2 A, 1 2 B に流れる電流の総和を規格化することの効果である。

（比較例）

この実施例の比較例として、電流を一对の磁気記憶素子に流し、その磁気記憶素子の電圧降下を直接的にセンスする構成の読み取り回路にて、同様の測定を行った。第 27 図に、比較例の等価回路図を示す。この読み取り回路は、一方が高抵抗、他方が低抵抗となって情報を記憶する 1 対の磁気記憶素子（可変抵抗 R_1 ,

R₂として図示)の電圧の差分を読み取る方式をとり、対をなす磁気記憶素子の各々は電流源、セル選択用半導体スイッチに直列に接続されるが、この直列配線は互いに別途独立している。また、この場合には磁気記憶素子の電圧降下をS、 \sqrt{S} として直接読み出しているために、電流電圧変換用抵抗器は用いられない。その測定結果は、第26図に点線で示されている。このように、各磁気記憶素子に対する電流を一定とする回路では、磁気記憶素子の抵抗に比例して出力値が大きく変わる。よって、磁気記憶素子の抵抗ばらつき具合が、直ちに出力値に変動となって影響することになる。

(磁気記憶素子間の抵抗ばらつきに対する効果)

次に、各記憶セル12で対をなしている磁気抵抗効果素子12A、12Bの間で、MR比がばらつく場合について調べた。ここでは、抵抗値 R_H を固定し、抵抗値 R_L を変えることで各記憶セル12のMR比を変え、それぞれの出力電圧を測定した。

第28図は、その測定結果を表したものであり、横軸はMR比(%)、縦軸は電源電圧 V_{cc} で規格化した出力電圧値を示している。同図では、白丸が抵抗値 R_H をとった方の磁気抵抗効果素子12A(12B)からの出力電圧値、×印が抵抗値 R_L をとった方の磁気抵抗効果素子12B(12A)からの出力電圧値をそれぞれ表している。また、測定値は実線で結ばれており、点線は抵抗値 R_H 、 R_L それぞれの電圧に対する定電流効果によるオフセット基準値である。

図示の結果からは、実施の形態の読み出し回路では、抵抗値 R_L 側からの出力電圧と、抵抗値 R_H 側からの出力電圧は、MR比が小さくなるにつれ互いに漸近する傾向が見て取れる。つまり、各記憶セル12ごとにMR比がばらつくと、その影響が電圧出力にはこのような形で表れることがわかる。それでも、抵抗値 R_L 側の出力電圧と、抵抗値 R_H 側の出力電圧は、基準値を挟んでそれぞれ一定の範囲内に収まっている。この場合、MR比が15%程度以上あれば両者の差分は出力として十分であることから、同一の回路構成で定電流回路を設けない場合と比較しても、読み取り誤差が生じる可能性は少なくなっている。

また、こうした構成の回路一般に言えることであるが、磁気抵抗効果素子12A、12Bを流れる各電流は、総和が常に等しいことから、そのときの素子抵抗

の比に応じ、常に総和の半分の値を中心とする上下に対称な値をとる。第28図に点線で示したオフセット基準値は、まさにこの値を電圧に変換したものであり、その位置は電流の総和を変えない限り、不変である。そこで、センスアンプ106Bで差動増幅する際の閾値となる電圧レベルを、このオフセット基準値に合致させれば、センスアンプ106Bからは適正值の電圧出力が得られる。これも、定電流回路を付加したことの効果である。

なお、本発明は、上記実施の形態および実施例には限定されず種々の変形実施が可能である。例えば、上記実施の形態においては、センスアンプ106B、定電流回路108B、およびトランジスタ22A、22B等のスイッチング素子にバイポーラトランジスタを用いて構成するようにしたが、これ以外にもCMOS (Complementary MOS) 等の半導体素子を用いて構成することができる。なお、スイッチ46のような2制御指令以上のスイッチは、MOSFETで構成してもよいが、論理ゲートで構成するようにしてもよい。

また、第2の実施の形態では、センスアンプ106Bの回路系は、スイッチ46に入力される2制御信号とトランジスタ48に入力される1制御信号によって制御されるように構成したが、スイッチ46を、これら3つの制御信号に応じて動作する3制御指令のスイッチに置き換えた回路構成とすることもできる。

また、上記実施の形態では、磁気抵抗効果素子12A、12BをTMR素子であるものとして説明したが、本発明の磁気メモリデバイスにおける磁気抵抗効果素子は、2つで1単位情報を記憶する構成をとるものであれば、どのような種類のものであってもよい。例えば、やはり磁性層の積層面に垂直に電流を流す構造のCPP (Current Perpendicular to the Plane) - GMR素子に置き換えることもできる。その場合の素子構造は、非磁性層2を、絶縁層から非磁性金属層に替えることを除いては、上記の磁気抵抗効果素子12A (12B) と同様とすることができる。また、一对の磁気抵抗効果素子が、積層面に平行な方向に電流が流れる積層体を含む磁気抵抗効果素子 (CIP (Current flows In the Plane) - GMR) であってもよい。

以上説明したように、本発明の磁気メモリデバイスによれば、一对の磁気抵抗効果素子に読出電流を供給する読出線対と、読出線対を流れる一对の読出電流

の差に基づいて記憶セルから情報を読み出すセンスアンプ回路とを備え、センスアンプ回路が、読出線対ごとに設けられた差動スイッチ対と、各差動スイッチ対と電源との間に設けられたバイアス抵抗器対と、複数の差動スイッチ対について共通に設けられ、各差動スイッチ対を流れる一対の読出電流の和を一定化する定電流回路とを含むようにしたので、定電流回路の特性が画一化され、差動スイッチ対ごとの電流増幅率のばらつきが抑えられる。これにより、センスアンプ回路から安定した差動出力を得ることが可能となり、読み出し信号出力のS/N比を向上させることが可能となる。同時に、各センスアンプ回路に対応して設けられる複数の定電流回路を集約することから、部品点数を削減することができ、動作対象ではない回路部分に電流が流れることによる不要な電力消費を回避することができる。また、センスアンプ回路がこのような構成をとることにより、読み出し回路系では、電源から接地に流れ落ちる電流経路を1つのセンスアンプ回路を通る1つの経路のみに限定することができ、不要な電力消費を削減することが可能となる。

特に、複数の差動スイッチ対の各々と定電流回路との間にそれぞれ設けられ、複数の差動スイッチ対のうちのいずれか1つを選択する第1のスイッチと、電源と読出線対との間に設けられ、読出線対に読出電流を供給するか否かを選択する一対の第2のスイッチとをさらに備えるようにすれば、第1のスイッチの開閉状態に応じて差動スイッチ対と定電流回路との間を導通／遮断させることができ、第1のスイッチに入力される制御信号によって選択されたセンスアンプ回路のみを動作可能とすることができる。したがって、センスアンプ回路を含む回路系に対し、第1のスイッチに入力される制御信号に応じた各種の動作制御を施すことが可能となる。また、センスアンプ回路が動作対象でない場合には、第1のスイッチが遮断されるように制御し、センスアンプ回路に電流が流れないようにすれば、そこに不要な電力消費が生じることが回避され、消費電力を低減することができる。

また、バイアス抵抗器対もまた複数の差動スイッチ対について共通に設けられているようにすれば、これらバイアス抵抗器対の特性も画一化され、センスアンプ回路ごとの出力値に対するオフセット量のばらつきを抑えると共に、差動スイ

ツチ対における電流量の均一化に寄与する。したがって、読み出し信号出力の S/N 比を向上させることが可能となる。また、抵抗部品を削減することができ、不要な電力消費を回避することができる。

さらに、一对の第2のスイッチ、一对の電流電圧変換用抵抗器および差動スイッチ対が、同一の領域内に集積配置されているようにすれば、対となる素子の各々は、近接して配置されることで環境温度がほぼ等しくなり、駆動中の温度変化によって互いの特性値がかけ離れていくことが防止され、これらの回路が適正な差動動作を行うことが保障される。よって、信号雑音の発生を防止することが可能となる。

また、本発明のセンスアンプ回路によれば、読出線対ごとに設けられた差動スイッチ対と、各差動スイッチ対と電源との間に設けられたバイアス抵抗器対と、複数の差動スイッチ対について共通に設けられた定電流回路とを備え、読出線対を流れる一对の読出電流の差に基づいて記憶セルから情報を読み出すようにしたので、定電流回路の特性が画一化され、差動スイッチ対ごとの電流増幅率のばらつきを抑えることができる。これにより、読出線対ごとの差動出力を、どの線対からも安定して得ることが可能となり、読み出し信号出力の S/N 比を向上させることが可能となる。また、差動スイッチ対に対応して設けられる定電流回路を集約することから、部品点数が削減されると共に不要な電力消費を回避することも可能となる。さらに、このセンスアンプ回路を適用した磁気メモリデバイスでは、駆動中の読み出し回路系における電源から接地までの電流経路を、1つのセンスアンプ回路を通る1つの経路のみに限定して形成することができ、不要な電力消費を削減することを可能とする。

また、本発明の磁気メモリデバイスの読出方法によれば、読出線対ごとに差動スイッチ対を設け、各差動スイッチ対と電源との間にバイアス抵抗器対を設け、複数の差動スイッチ対について共通に定電流回路を設け、読出線対を流れる一对の読出電流の差に基づいて記憶セルから情報を読み出すようにしたので、読出電流は差動出力され、読出線の各々に生じる雑音や磁気抵抗効果素子ごとの出力値に含まれるオフセット成分が除去される。その場合に、読出電流の差分を電圧差として差動増幅するセンスアンプ回路は、定電流回路を共用とすることで、定電

流回路の特性ばらつきに起因するセンスアンプ出力のばらつきが抑えられる。よって、安定した差動出力を得ることができ、読み出し信号出力のS／N比を向上させることが可能となる。

請求の範囲

1. 外部磁界によって磁化方向が変化する感磁層をそれぞれ有する複数の磁気抵抗効果素子を備え、1つの記憶セルが一对の前記磁気抵抗効果素子を含むように構成された磁気メモリデバイスであって、

この一对の磁気抵抗効果素子に読出電流を供給する読出線対と、前記読出線対を流れる一对の読出電流の差に基づいて前記記憶セルから情報を読み出すセンスアンプ回路とを備え、

前記センスアンプ回路が、

前記読出線対ごとに設けられた差動スイッチ対と、

各差動スイッチ対と電源との間に設けられたバイアス抵抗器対と、

複数の前記差動スイッチ対について共通に設けられ、各差動スイッチ対を流れる一对の読出電流の和を一定化する定電流回路と

を含むことを特徴とする磁気メモリデバイス。

2. 前記読出線対と電源との間に電流電圧変換用抵抗器対を備え、前記電流電圧変換用抵抗器対の前記電源側とは反対側の端子が、前記センスアンプ回路の前記差動スイッチ対に接続されている

ことを特徴とする請求の範囲第1項に記載の磁気メモリデバイス。

3. 複数の前記差動スイッチ対の各々と前記定電流回路との間にそれぞれ設けられ、前記複数の差動スイッチ対のうちのいずれか1つを選択する第1のスイッチと、

前記電源と前記読出線対との間に設けられ、前記読出線対に読出電流を供給するか否かを選択する一对の第2のスイッチと

をさらに備えたことを特徴とする請求の範囲第1項に記載の磁気メモリデバイス。

4. 前記第1および第2のスイッチは、前記複数の差動スイッチ対のうちのいずれか1つを選択するための第1の選択信号に基づいて開閉制御されることを特徴とする請求の範囲第3項に記載の磁気メモリデバイス。

5. 前記第1のスイッチは、前記複数の差動スイッチ対のうちのいずれか1つを選択するための第1の選択信号と、読出モードであることを示す第2の選択信号とに基づいて開閉制御され、

前記第2のスイッチは、前記第1の選択信号に基づいて開閉制御されることを特徴とする請求の範囲第3項に記載の磁気メモリデバイス。

6. 前記定電流回路は、バンドギャップリファレンスを利用して構成されていることを特徴とする請求の範囲第1項に記載の磁気メモリデバイス。

7. 前記定電流回路は、

電流制御用トランジスタと、

前記電流制御用トランジスタのベースと接地との間に接続されたダイオードと、

前記電流制御用トランジスタのエミッタと接地との間に接続された電流制御用抵抗器と

を含んで構成されていることを特徴とする請求の範囲第6項に記載の磁気メモリデバイス。

8. 前記バイアス抵抗器対もまた複数の前記差動スイッチ対について共通に設けられている

ことを特徴とする請求の範囲第1項に記載の磁気メモリデバイス。

9. 前記一对の第2のスイッチ、前記電流電圧変換用抵抗器対および前記差動スイッチ対が、同一の領域内に集積配置されている

ことを特徴とする請求の範囲第3項に記載の磁気メモリデバイス。

10. 前記一对の第2のスイッチ、前記一对の電流電圧変換用抵抗器および前記差動スイッチ対が、それぞれ、対称な回路を構成している

ことを特徴とする請求の範囲第9項に記載の磁気メモリデバイス。

11. 複数の第1の書込線と、前記複数の第1の書込線にそれぞれ交差するように延びる複数の第2の書込線とをさらに備え、

前記複数の磁気抵抗効果素子の各々が、

前記感磁層を含み、積層面に垂直な方向に前記読出電流が流れるように構成された積層体と、

前記積層体の一方の面側に、前記積層面に沿った方向を軸方向とするように配

設されると共に、前記第 1 および第 2 の書込線によって貫かれるように構成された環状磁性層と

を含むことを特徴とする請求の範囲第 1 項に記載の磁気メモリデバイス。

12. 前記第 1 および第 2 の書込線の双方を流れる電流により誘導される磁界によって、前記一対の磁気抵抗効果素子における各感磁層の磁化方向が互いに反平行となるように変化し、前記記憶セルに情報が記憶される

ことを特徴とする請求の範囲第 1 項に記載の磁気メモリデバイス。

13. 外部磁界によって磁化方向が変化する感磁層をそれぞれ有する複数の磁気抵抗効果素子と、一対の前記磁気抵抗効果素子に読出電流を供給する読出線対とを備え、1つの記憶セルが一対の前記磁気抵抗効果素子を含むように構成された磁気メモリデバイス、に適用されるセンスアンプ回路であって、

前記読出線対ごとに設けられた差動スイッチ対と、

各差動スイッチ対と電源との間に設けられたバイアス抵抗器対と、

複数の前記差動スイッチ対について共通に設けられた定電流回路と

を備え、

前記読出線対を流れる一対の読出電流の差に基づいて前記記憶セルから情報を読み出す

ことを特徴とするセンスアンプ回路。

14. 外部磁界によって磁化方向が変化する感磁層をそれぞれ有する複数の磁気抵抗効果素子と、一対の前記磁気抵抗効果素子に読出電流を供給する読出線対とを備え、1つの記憶セルが一対の前記磁気抵抗効果素子を含むように構成された磁気メモリデバイス、に適用される読出方法であって、

前記読出線対ごとに差動スイッチ対を設け、

各差動スイッチ対と電源との間にバイアス抵抗器対を設け、

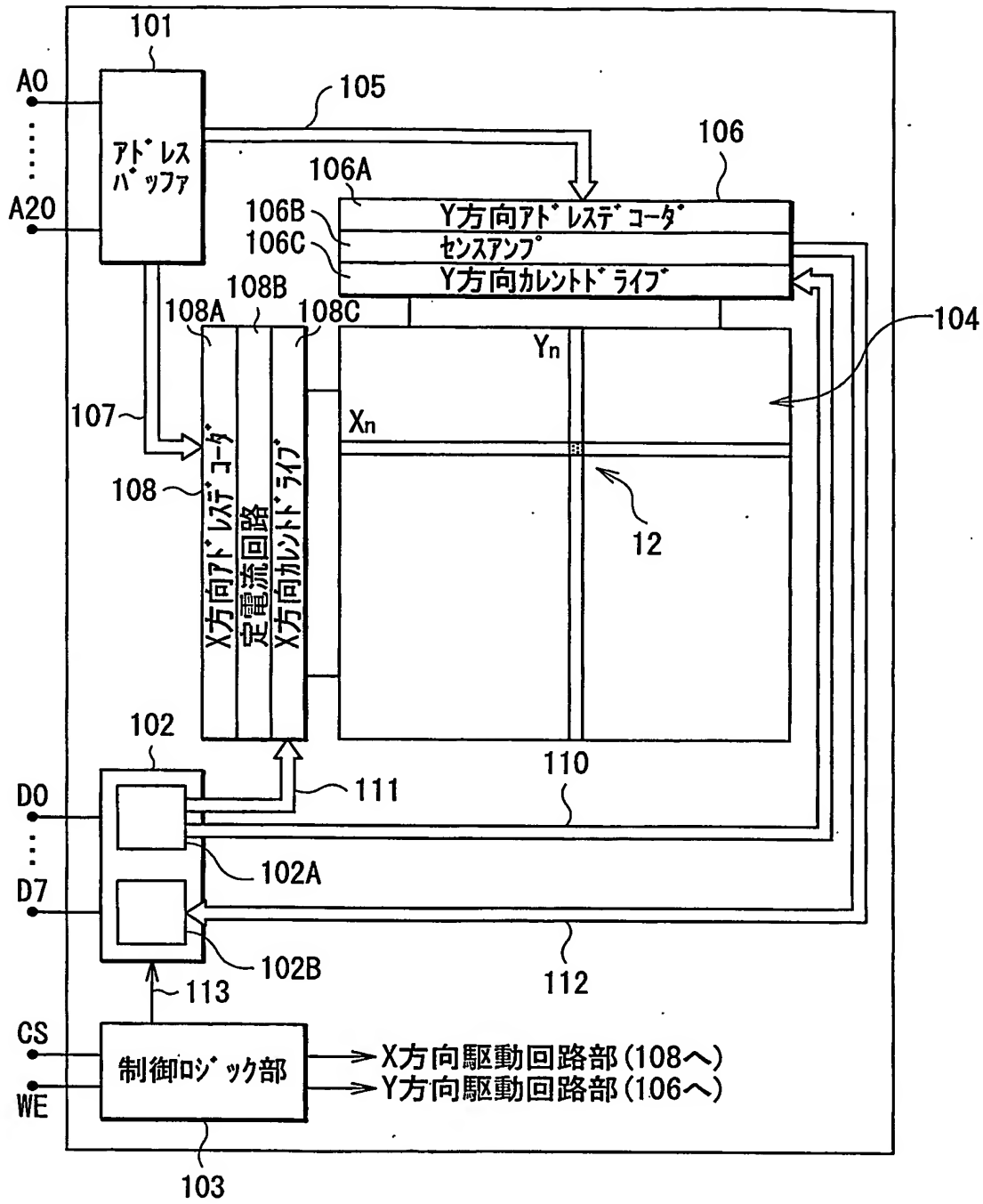
複数の前記差動スイッチ対について共通に定電流回路を設け、

前記読出線対を流れる一対の読出電流の差に基づいて前記記憶セルから情報を読み出す

ことを特徴とする磁気メモリデバイスの読出方法。

1/22

第1図



第2図

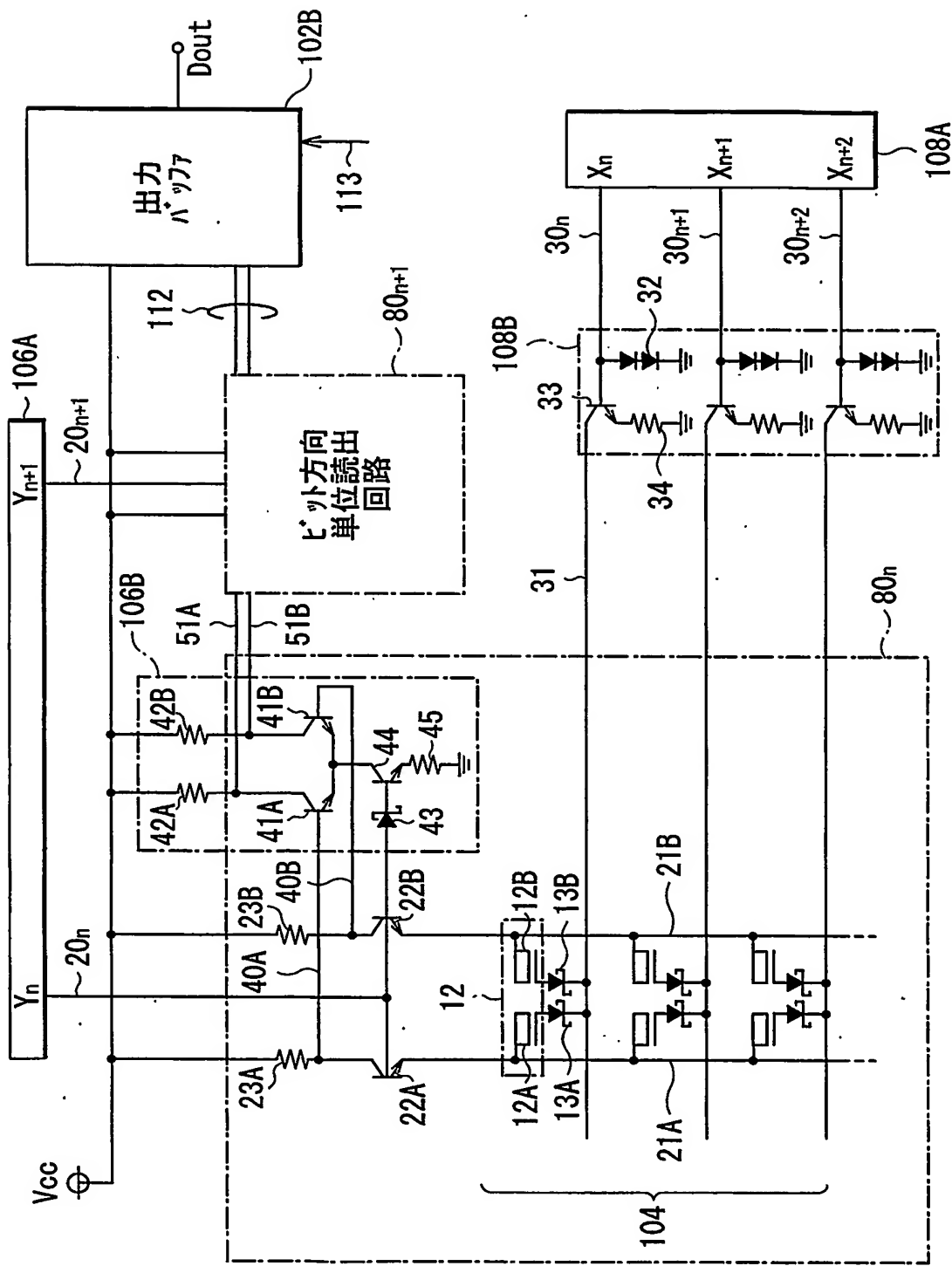
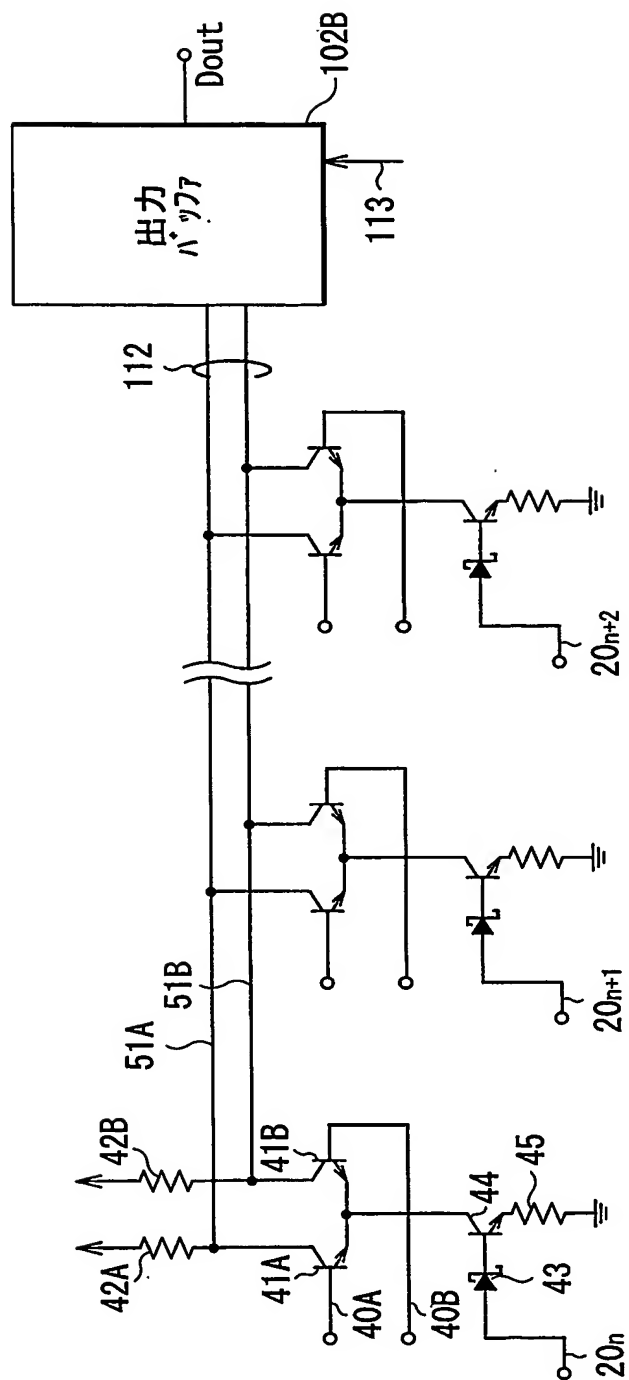
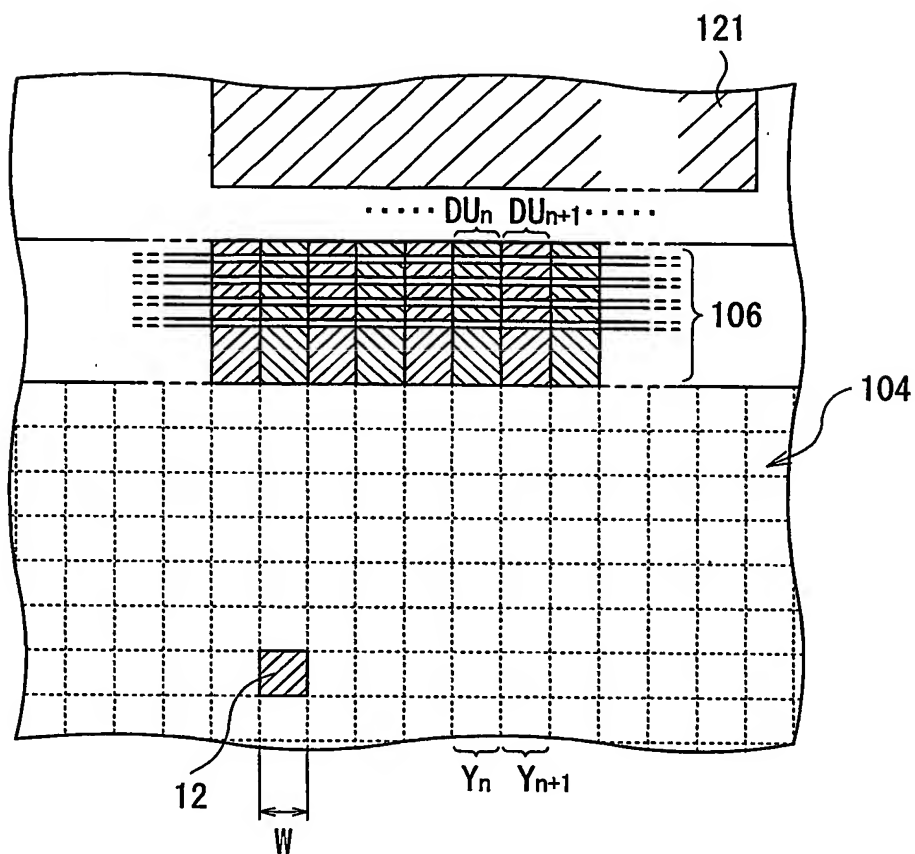


圖
3
集



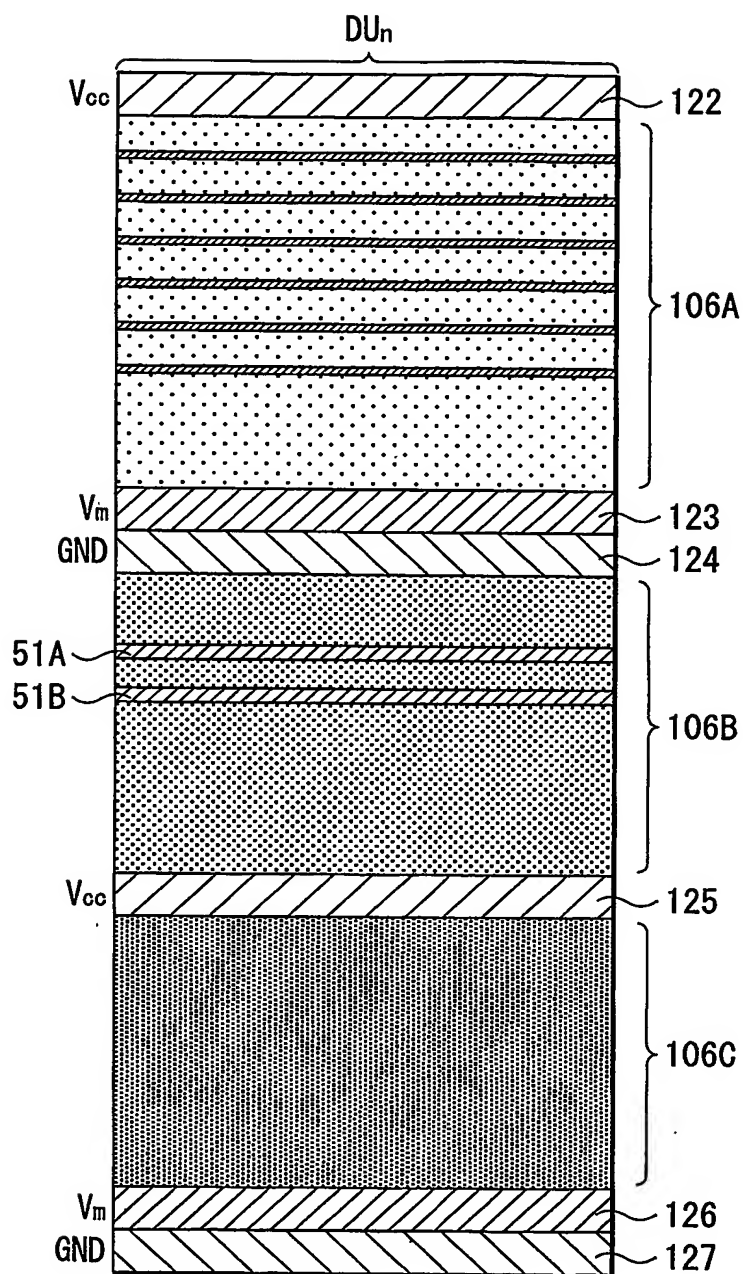
4/22

第4図



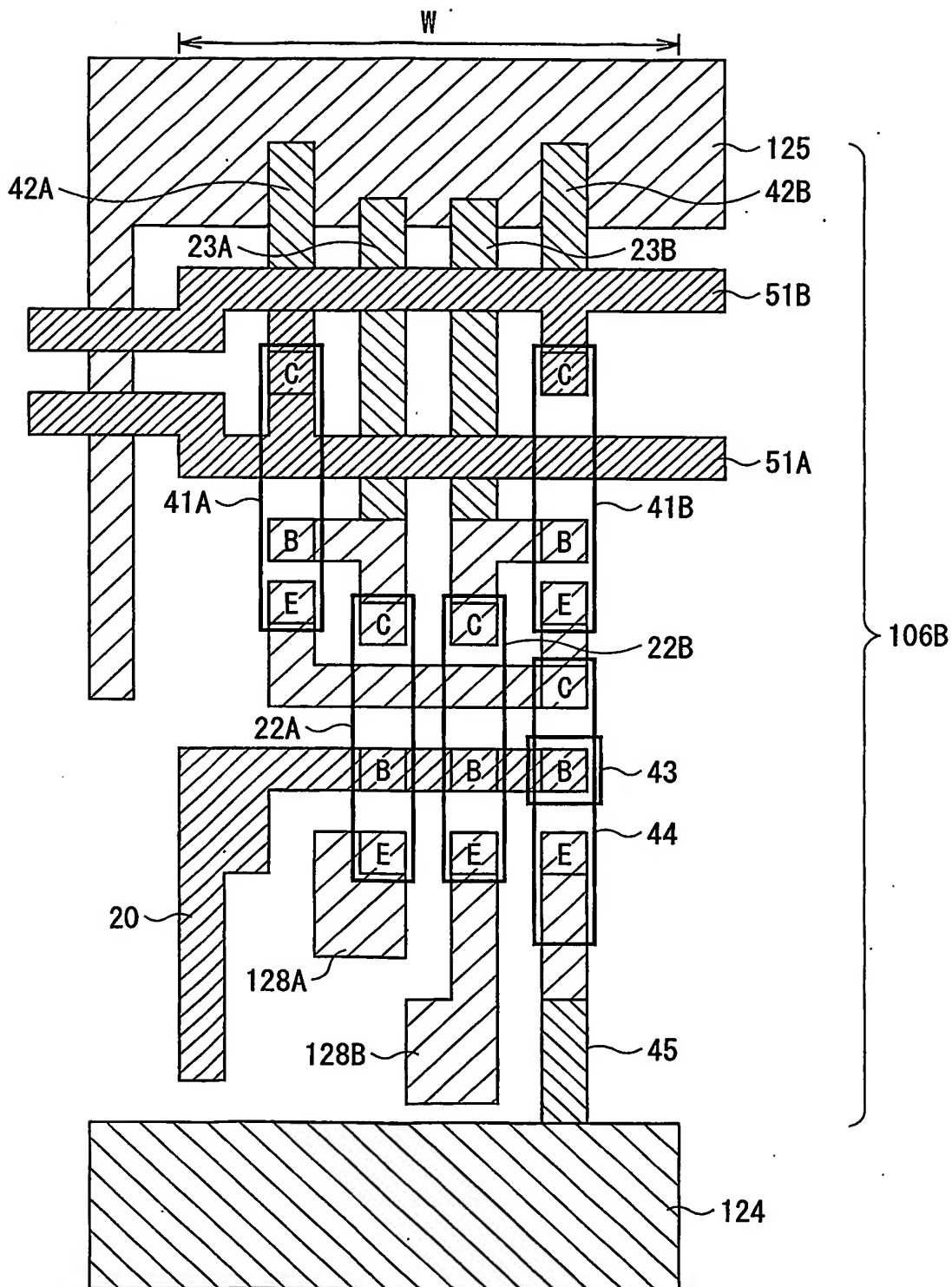
5/22

第5図

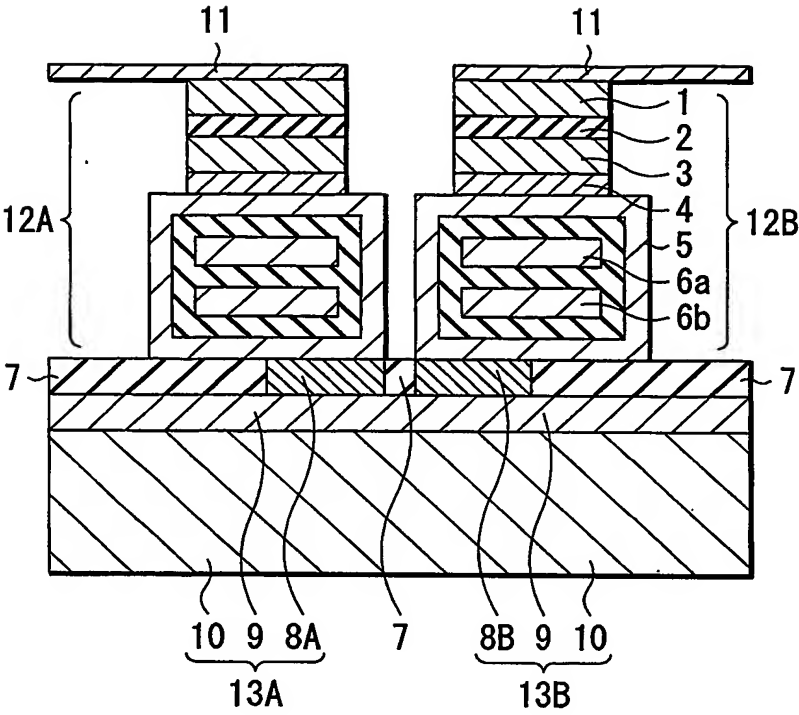


6/22

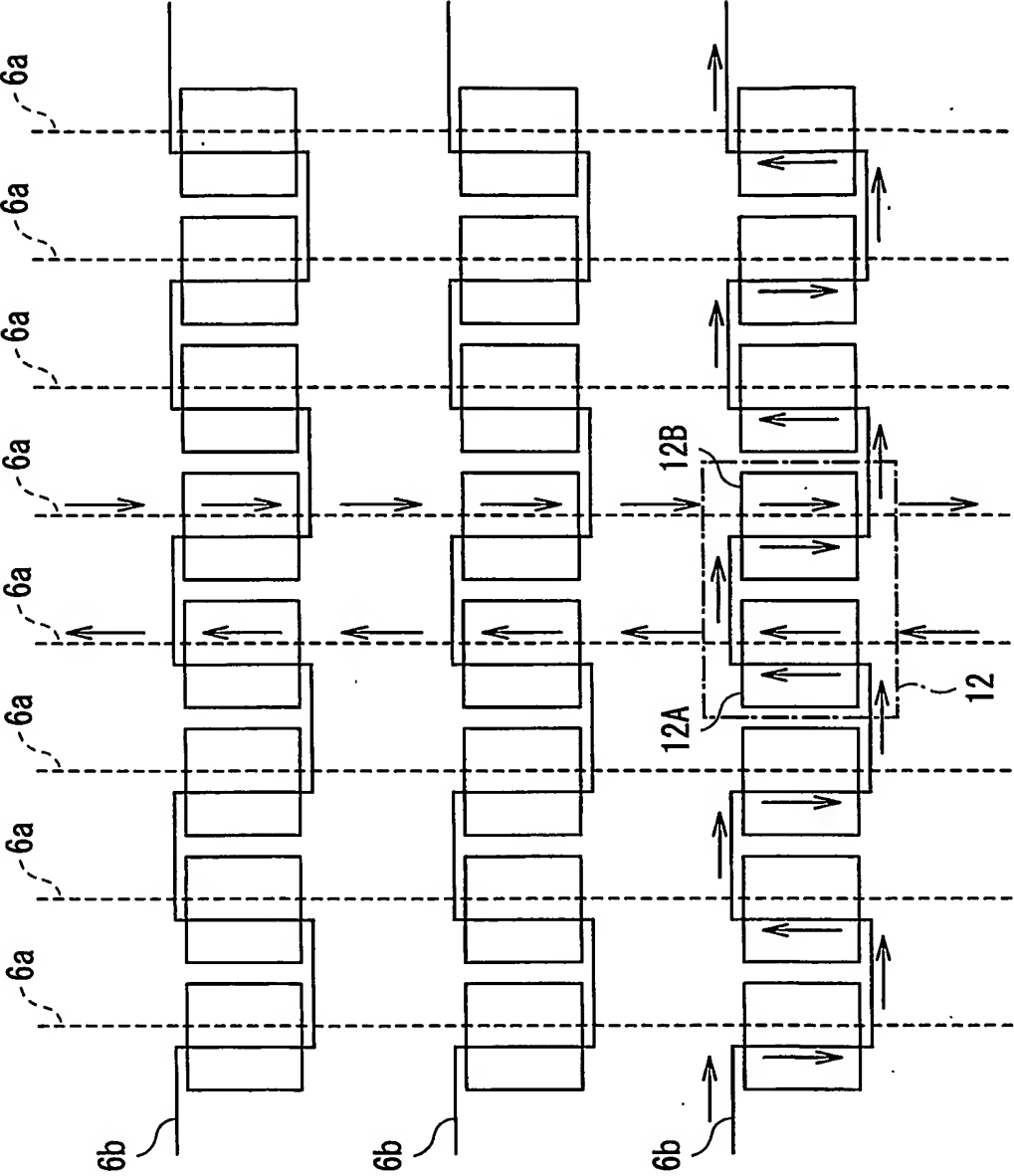
第6図



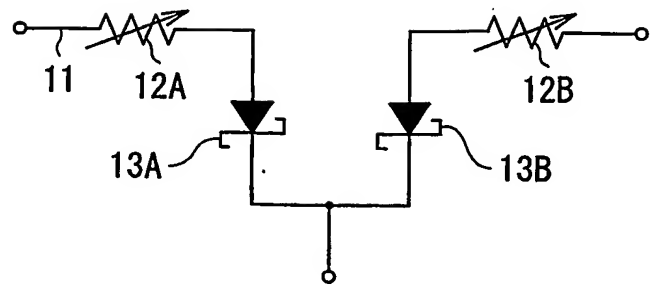
第7図



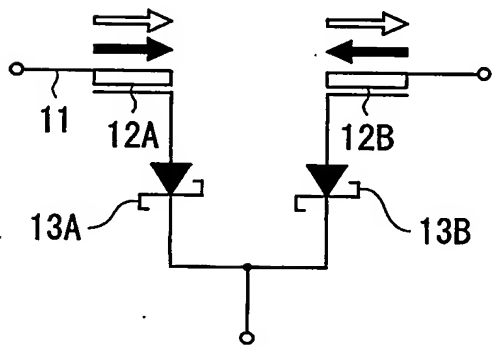
第8図



第9図

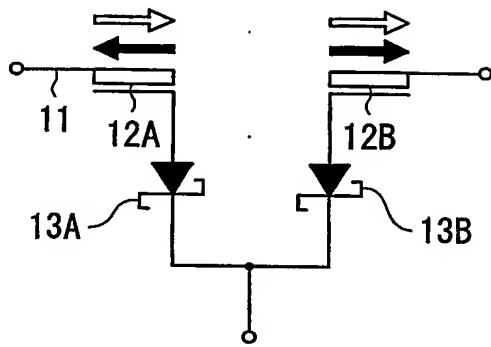


第10A図



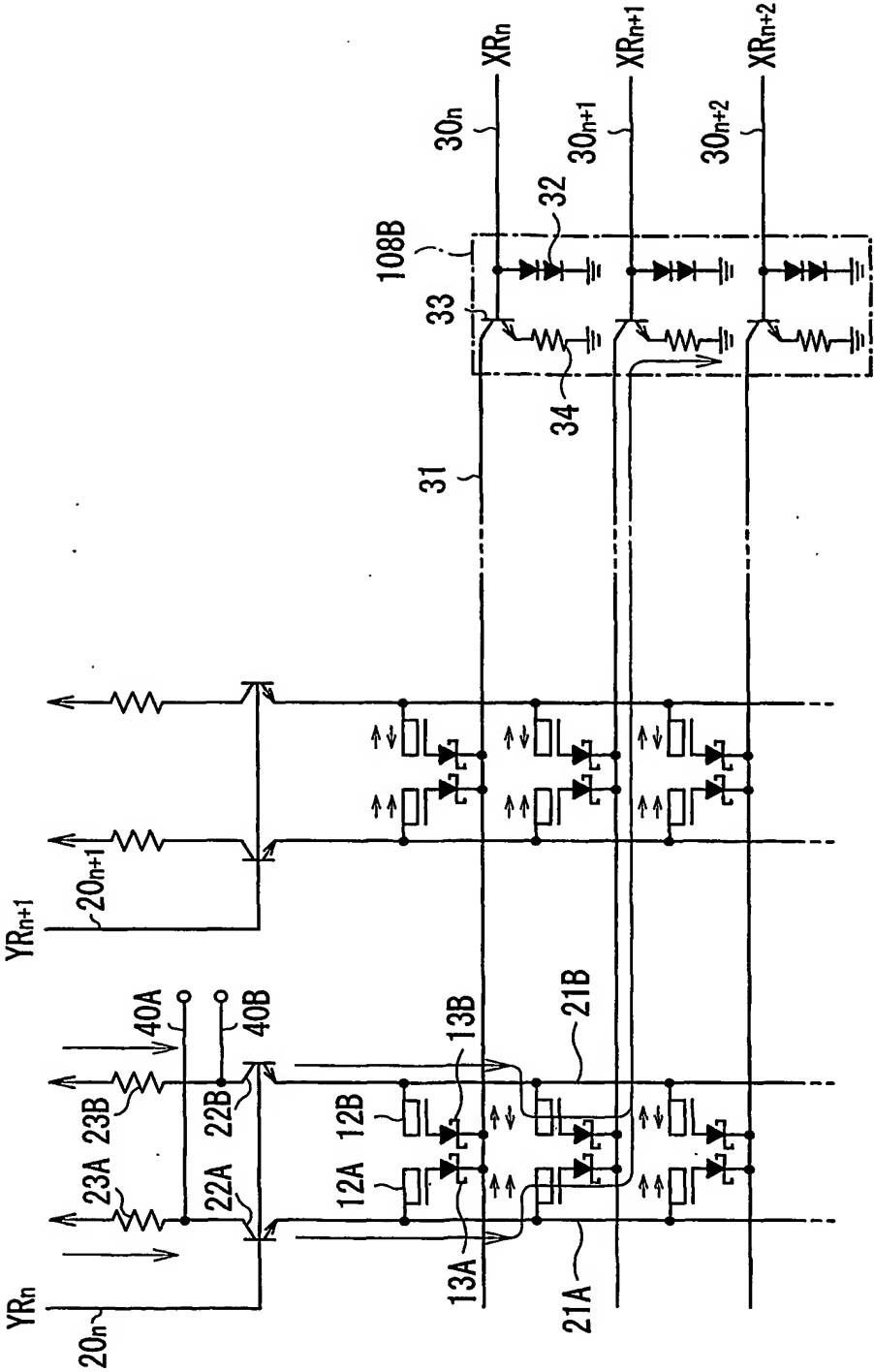
「0」

第10B図

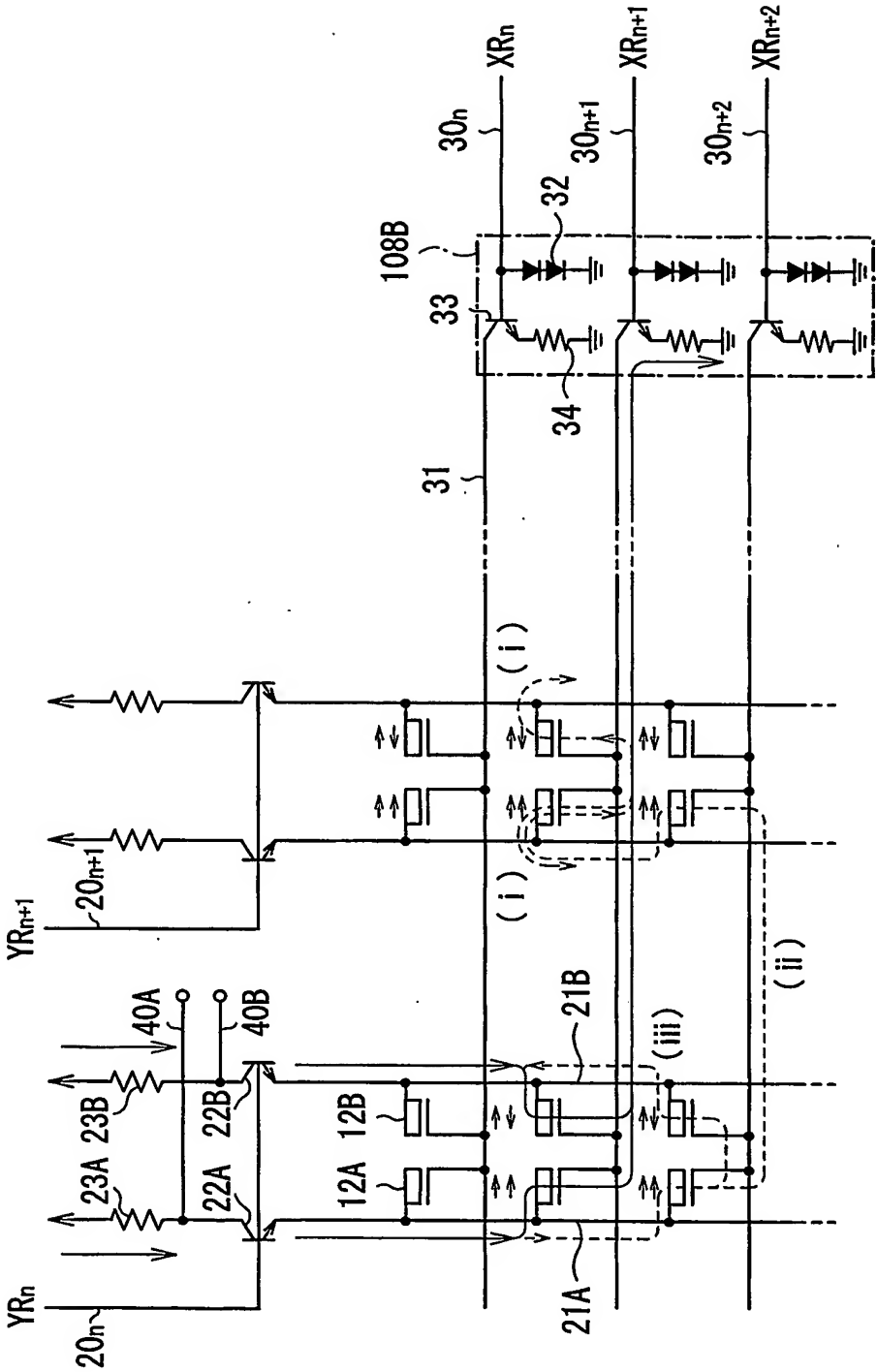


「1」

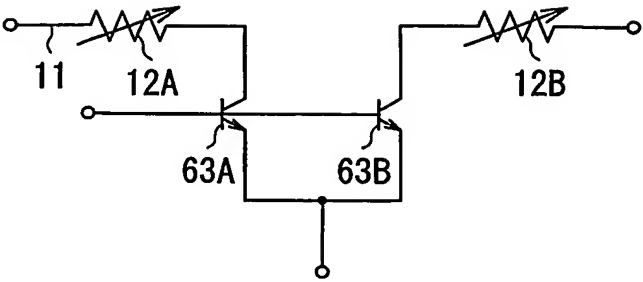
第12図



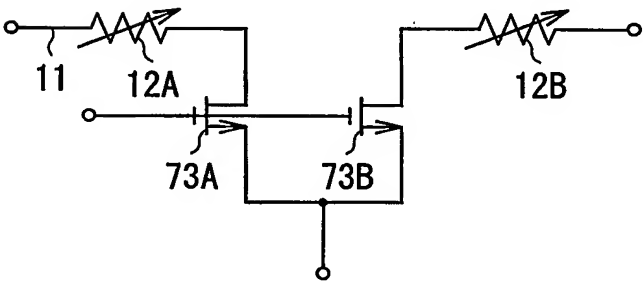
第13図



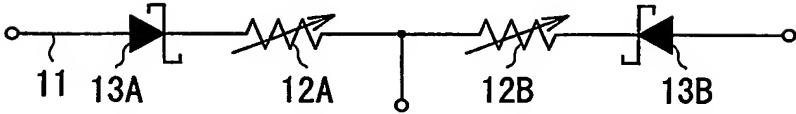
第14図



第15図

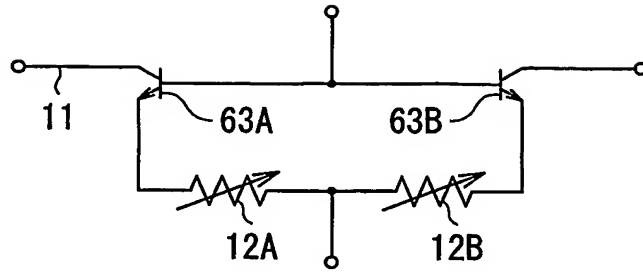


第16図

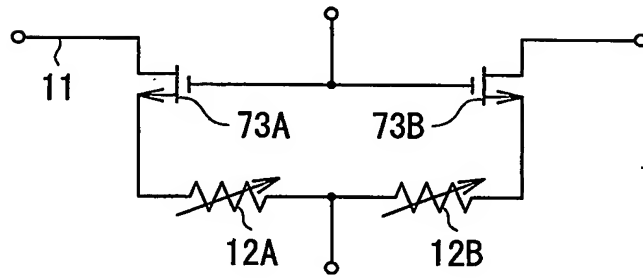


14/22

第17図

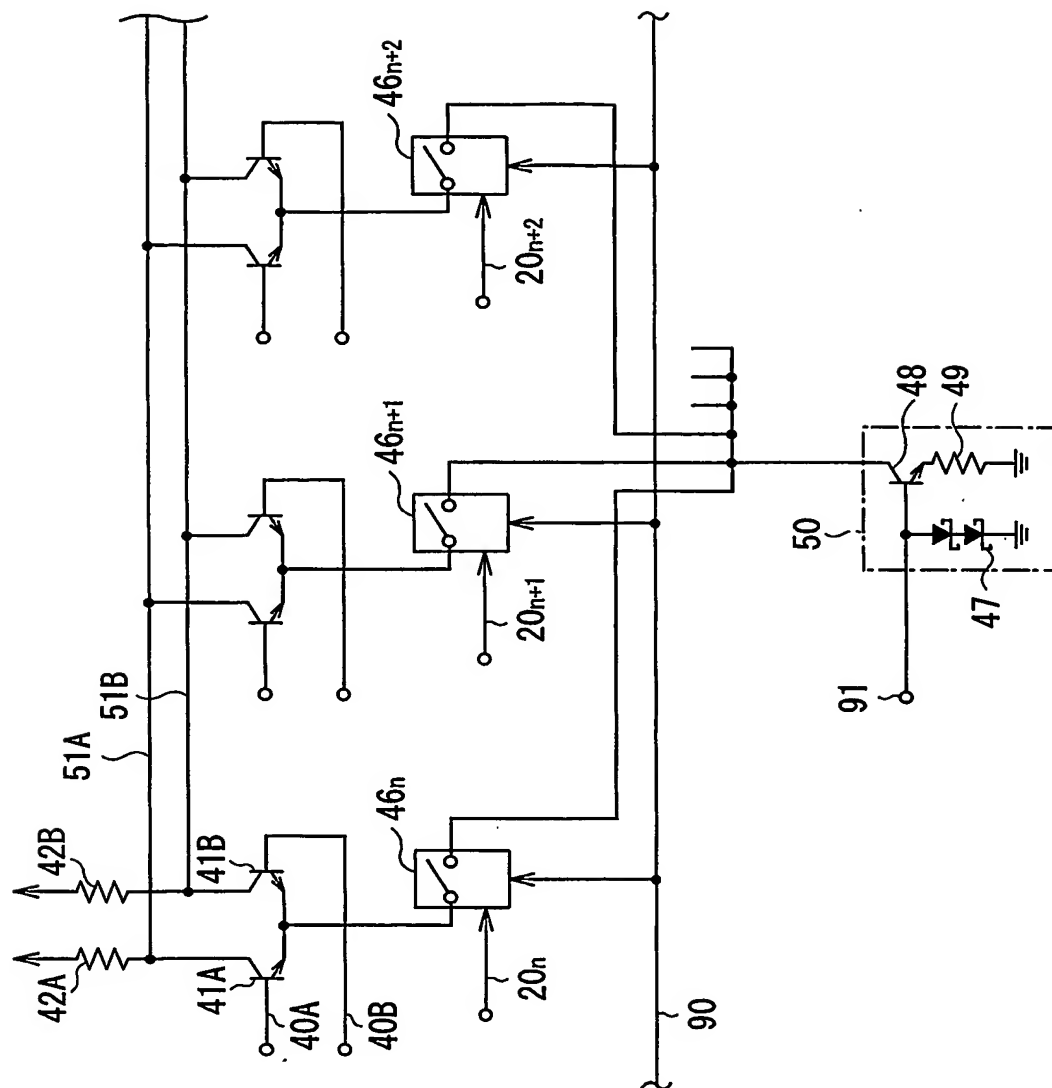


第18図

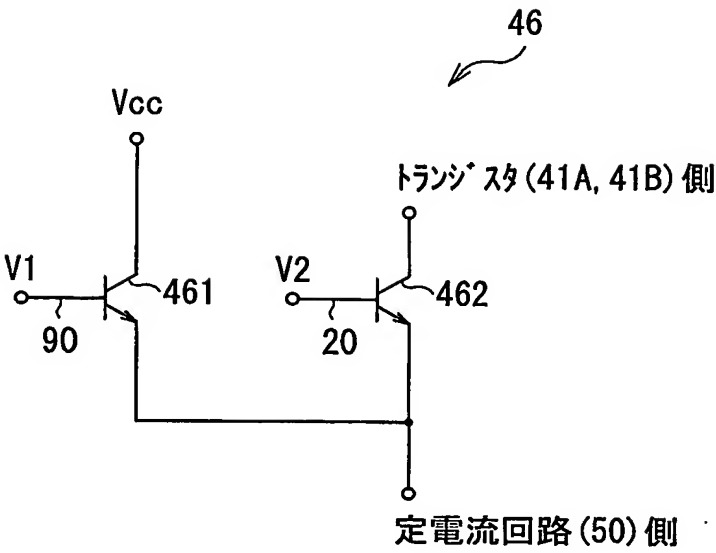


15/22

第19図



第20図

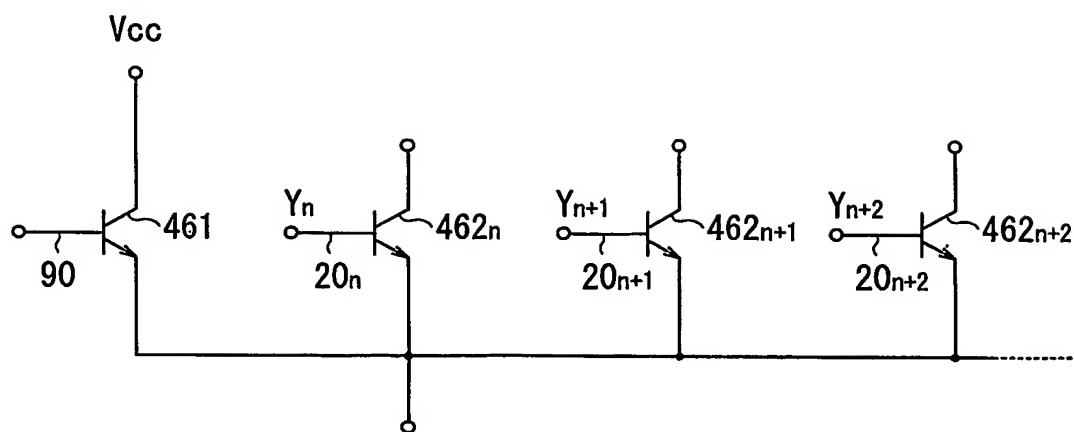


第21図

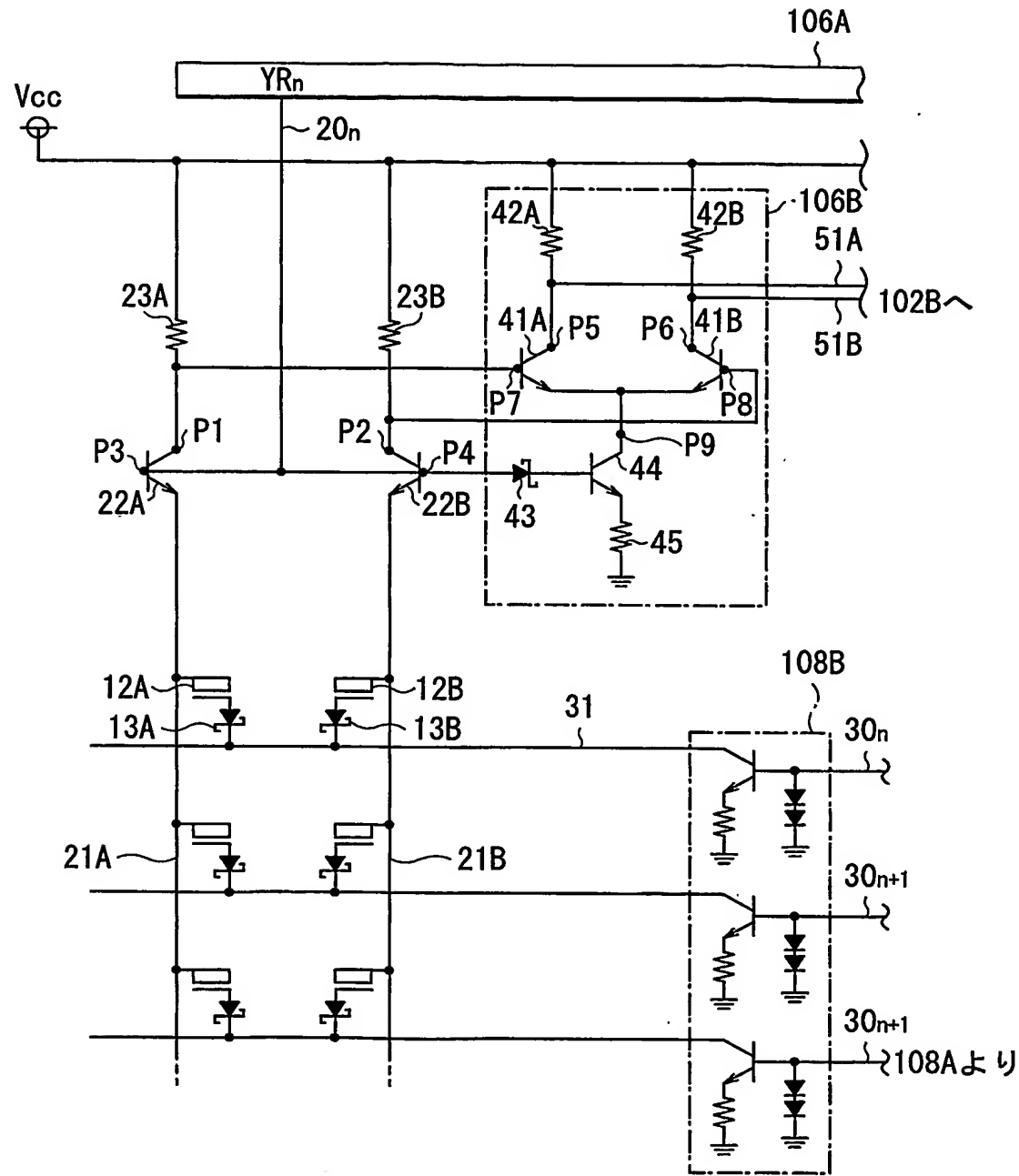
トランジスタ461	トランジスタ462	スイッチ46
L	L	OFF
L	H	ON
H	L	OFF
H	H	OFF

17/22

第22図

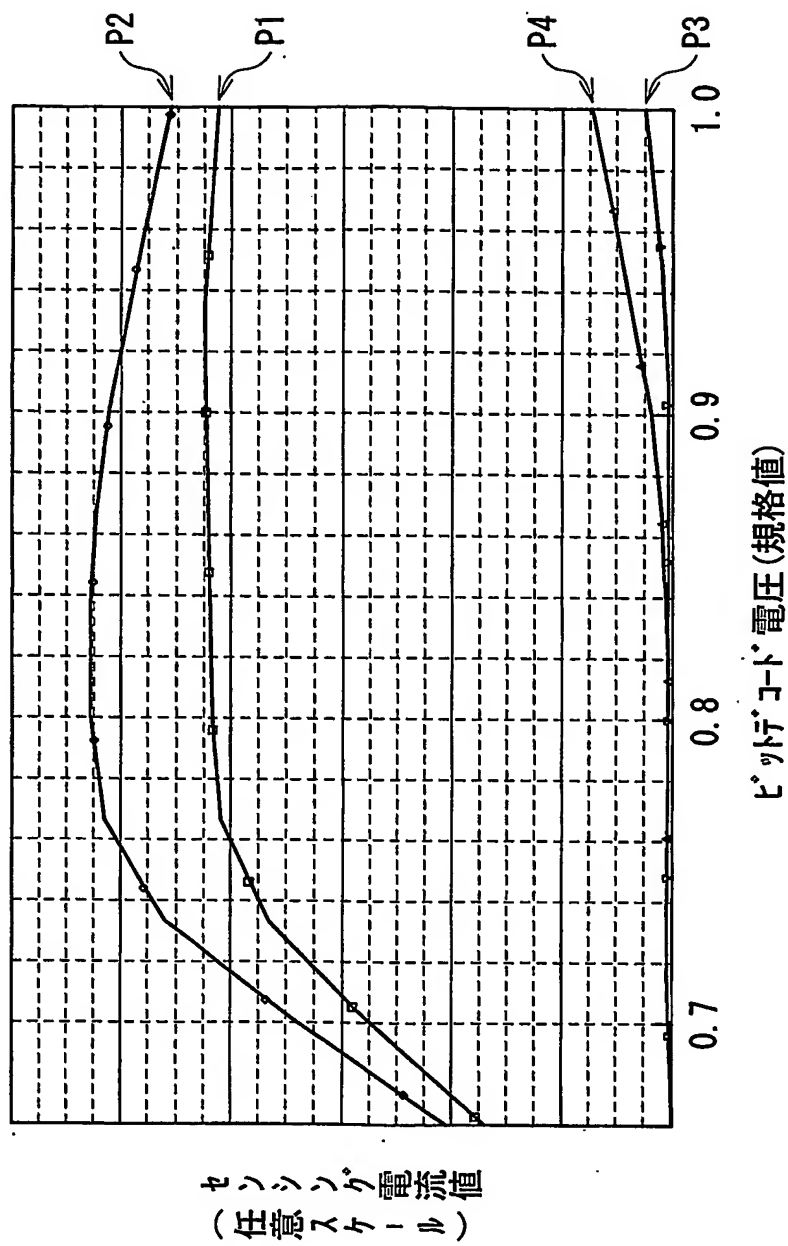


第23図

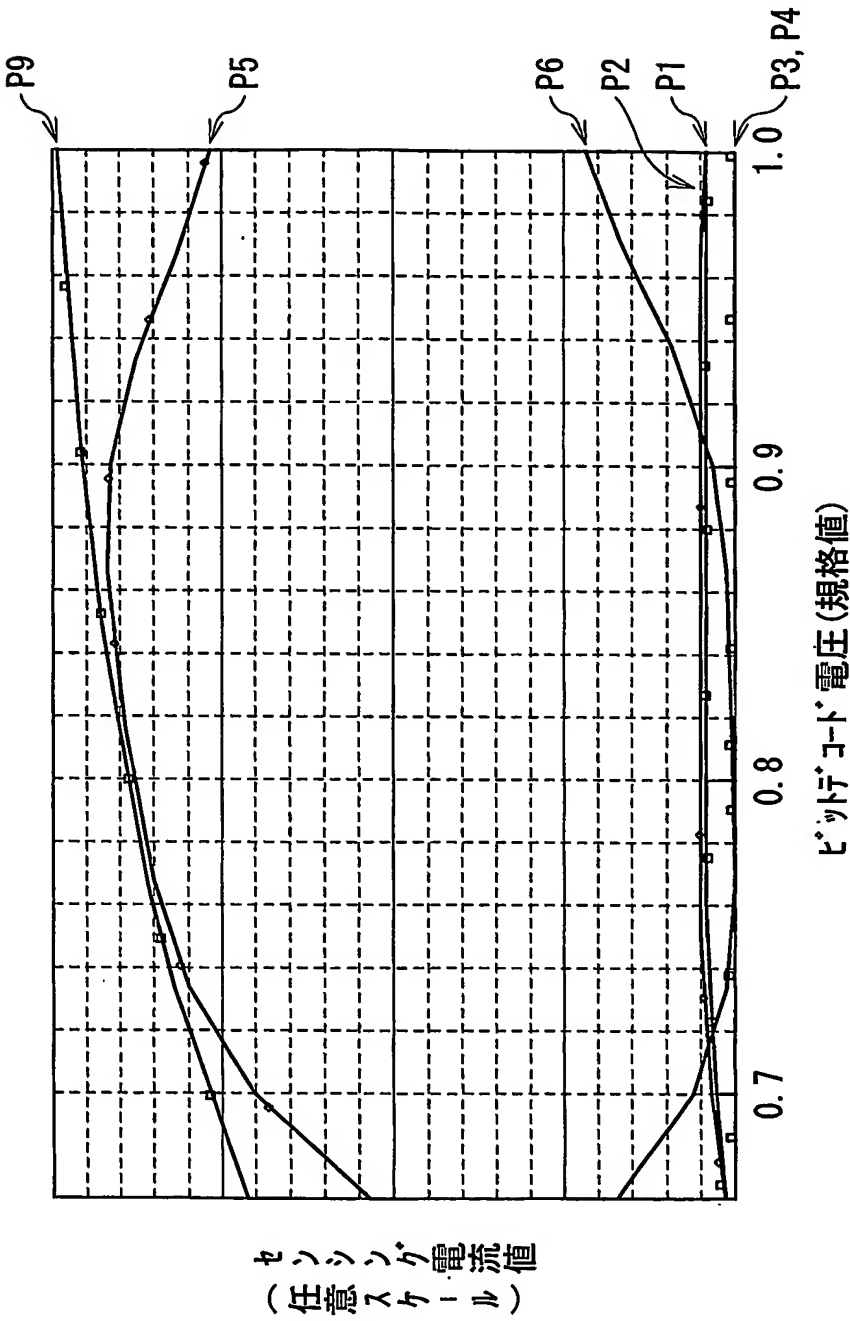


19/22

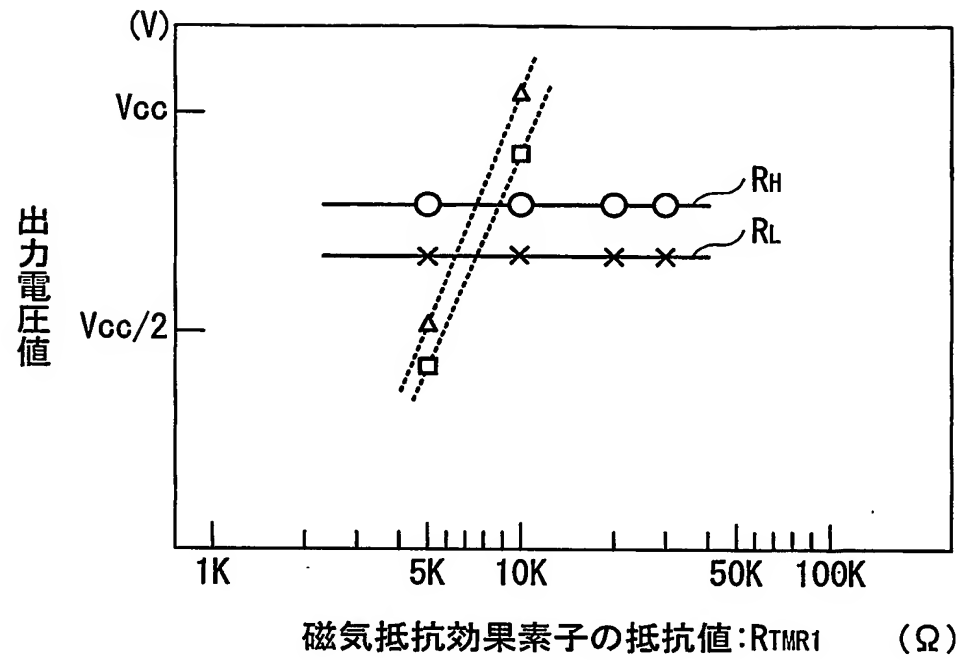
第24図



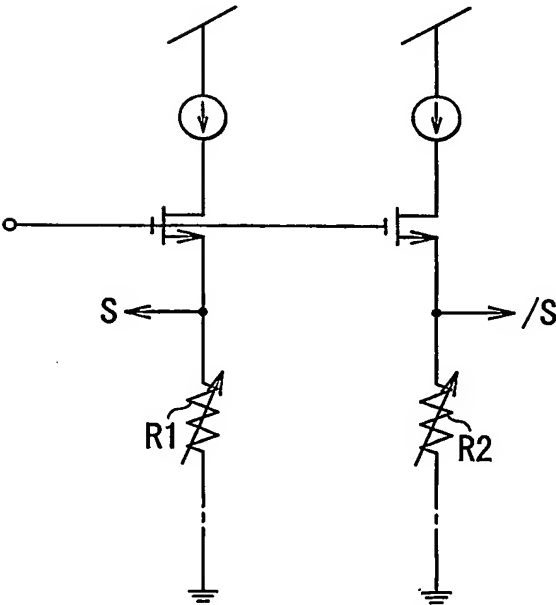
第25図



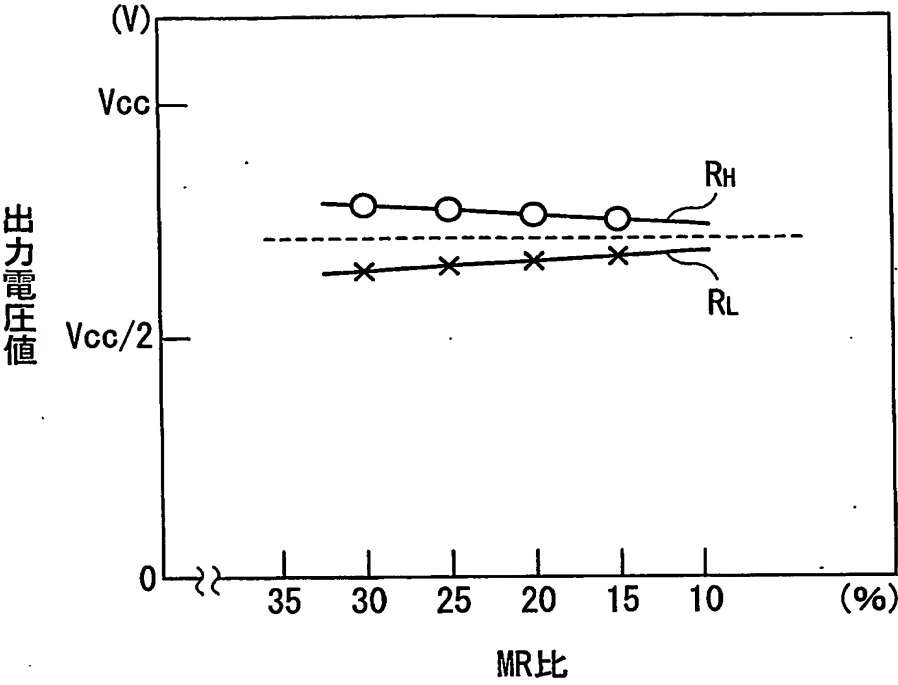
第26図



第27図



第28図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003973

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C11/15, H01L27/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C11/15, H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 1991/007757 A1 (Fujitsu Ltd.), 30 May, 1991 (30.05.91), Full text; all drawings & US 5281873 A & EP 455834 A1	1, 2, 6, 7, 11-14
Y	JP 2002-170374 A (Canon Inc.), 14 June, 2002 (14.06.02), Full text; Fig. 10 (Family: none)	1, 2, 6, 7, 11-14
A		3-5, 8-10
Y	JP 2001-236781 A (Toshiba Corp.), 31 August, 2001 (31.08.01), Full text; Fig. 1	1, 2, 6, 7, 11-14
A	& US 2002/0006058 A1 & EP 1109170 A2	3-5, 8-10

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 June, 2004 (15.06.04)Date of mailing of the international search report
29 June, 2004 (29.06.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003973

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-353415 A (International Business Machines Corp.), 06 December, 2002 (06.12.02), Full text; Fig. 3 (Family: none)	11, 12
A	JP 2002-260377 A (Sanyo Electric Co., Ltd.), 13 September, 2002 (13.09.02), Full text; all drawings & US 2002/0054500 A1 & EP 1205937 A2 & CN 1353422 A	1-14
A	JP 2002-298572 A (Toshiba Corp.), 11 October, 2002 (11.10.02), Full text; all drawings & US 2002/0140000 A1	1-14
A	JP 2003-30976 A (Hewlett-Packard Co.), 31 January, 2003 (31.01.03), Full text; Fig. 7 & US 2002/0186582 A1 & EP 1248273 A2 & CN 1379485 A	11, 12
A	JP 2001-273759 A (Sharp Corp.), 05 October, 2001 (05.10.01), Full text; Fig. 1 (Family: none)	11, 12
E, X	JP 2004-119638 A (TDK Corp.), 15 April, 2004 (15.04.04), & EP 1406266 A2	1-3, 6-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G11C11/15, H01L27/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G11C11/15, H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	WO 1991/007757 A1 (富士通株式会社) 1991.05.30, 全文, 全図 & US 5281873 A & EP 455834 A1	1, 2, 6, 7, 11-14
Y A	JP 2002-170374 A (キャノン株式会社) 2002.06.14, 全文, 第10図 (ファミリー無し)	1, 2, 6, 7, 11-14 3-5, 8-10
Y	JP 2001-236781 A (株式会社東芝) 2001.08.31, 全文, 第1図	1, 2, 6, 7, 11-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

15.06.2004

国際調査報告の発送日

29.6.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

飯田 清司

5N

8731

電話番号 03-3581-1101 内線 6842

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	& US 2002/0006058 A1 & EP 1109170 A2	3-5, 8-10
Y	J P 2 0 0 2 - 3 5 3 4 1 5 A (インターナショナル・ビジネス・マシーンス・コーポレーション) 2 0 0 2 . 1 2 . 0 6 , 全文, 第3図 (ファミリー無し)	11, 12
A	J P 2 0 0 2 - 2 6 0 3 7 7 A (三洋電機株式会社) 2 0 0 2 . 0 9 . 1 3 , 全文, 全図 & US 2002/0054500 A1 & EP 1205937 A2 & CN 1353422 A	1-14
A	J P 2 0 0 2 - 2 9 8 5 7 2 A (株式会社東芝) 2 0 0 2 . 1 0 . 1 1 , 全文, 全図 & US 2002/0140000 A1	1-14
A	J P 2 0 0 3 - 3 0 9 7 6 A (ヒューレット・パッカート・カンパニー) 2 0 0 3 . 0 1 . 3 1 , 全文, 第7図 & US 2002/0186582 A1 & EP 1248273 A2 & CN 1379485 A	11, 12
A	J P 2 0 0 1 - 2 7 3 7 5 9 A (シャープ株式会社) 2 0 0 1 . 1 0 . 0 5 , 全文, 第1図 (ファミリー無し)	11, 12
EX	J P 2 0 0 4 - 1 1 9 6 3 8 A (TDK株式会社) 2 0 0 4 . 0 4 . 1 5 , 全文, 全図 & EP 1406266 A2	1-3, 6-14